

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Patent



Customer No. 31561
Application No.: 10/605,661
Docket No. 11314-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Lai
Application No. : 10/605,661
Filed : Oct. 16, 2003
For : THIN FILM TRANSISTOR AND PIXEL STRUCTURE
THREROF
Examiner :
Art Unit : 2811

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 092121252, filed on: 2003/08/04.

A return prepaid postcard is also included herewith.

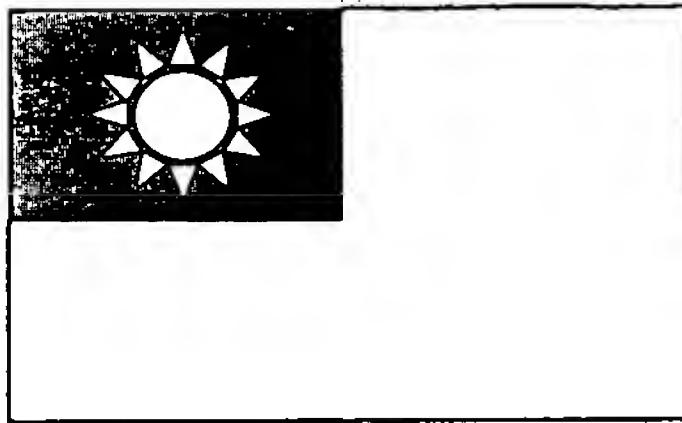
Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: March 10, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

**7F-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 08 月 04 日
Application Date

申請案號：092121252
Application No.

申請人：友達光電股份有限公司
Applicant(s)

局長

Director General

蔡 繼 生

發文日期：西元 2003 年 11 月 24 日
Issue Date

發文字號：09221191220
Serial No.

申請日期：

IPC分類

申請案號：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	薄膜電晶體及具有此種薄膜電晶體之畫素結構
	英 文	Thin film transistor and pixel structure with the same
二、 發明人 (共1人)	姓 名 (中文)	1. 來漢中
	姓 名 (英文)	1. Han-Chung Lai
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 桃園縣中壢市內壢成功路122巷63弄20號
	住居所 (英 文)	1. No. 20, Alley 63, Lane 122, Chengkung Rd., Chungli, Taoyuan Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 友達光電股份有限公司
	名稱或 姓 名 (英文)	1. Au Optronics Corporation
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹市力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 1, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
代表人 (中文)	1. 李焜耀	
	代表人 (英文)	1. Kun-Yao Lee



四、中文發明摘要 (發明名稱：薄膜電晶體及具有此種薄膜電晶體之畫素結構)

一種薄膜電晶體及具有此種薄膜電晶體之畫素結構，其中薄膜電晶體包括具有至少一凹口的一閘極、一閘介電層、一源極、一汲極以及一通道層。閘極是配置在一基板上，而閘介電層則配置在基板上，並覆蓋閘極。源極則是配置在閘介電層上，其中源極係位於凹口上方以外之區域，且源極與部分閘極重疊。而汲極配置在源極所暴露出之閘介電層上，其中汲極係位於凹口上方，且汲極與凹口旁之部分閘極重疊。再者，通道層是配置在閘極上方之閘介電層以及源極與汲極之間。由於不對稱的源極與汲極設計，可使上下兩金屬層在有重疊失誤時，大幅降低電容的變化。

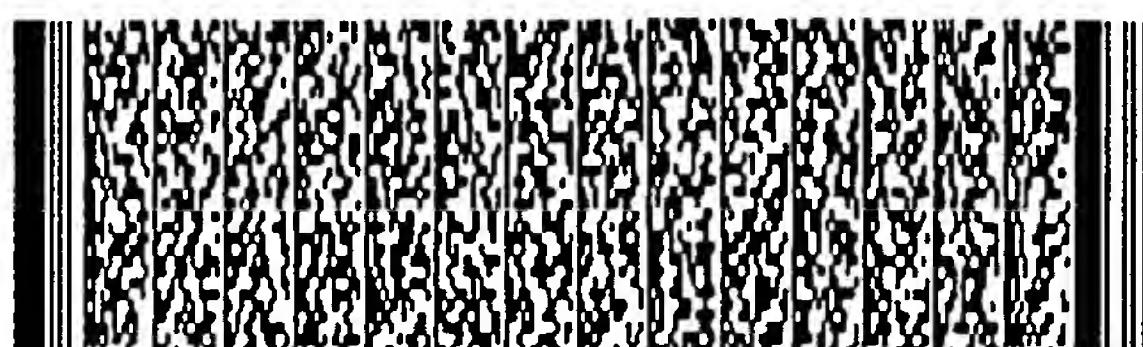
伍、(一)、本案代表圖為：第 2 圖

(二)、本案代表圖之元件代表符號簡單說明：

200：畫素結構

六、英文發明摘要 (發明名稱：Thin film transistor and pixel structure with the same)

A thin film transistor and a pixel structure with the same. The thin film transistor includes a gate with at least a indentation, a gate dielectric layer, a source, a drain, and a channel layer. The gate is on a substrate. The gate dielectric layer is on the substrate and the gate is covered with it. The source is on the gate dielectric layer, wherein it is over a area except

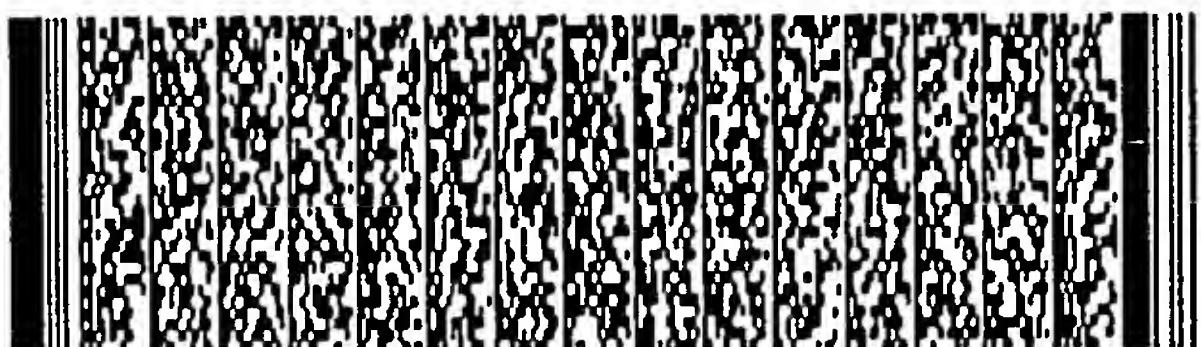


四、中文發明摘要 (發明名稱：薄膜電晶體及具有此種薄膜電晶體之畫素結構)

202：閘極
203：凹口
204：掃描配線
205：閘介電層
206：通道層
208：源極
210：汲極
212：資料配線
214：畫素電極
216：接觸窗
220：薄膜電晶體

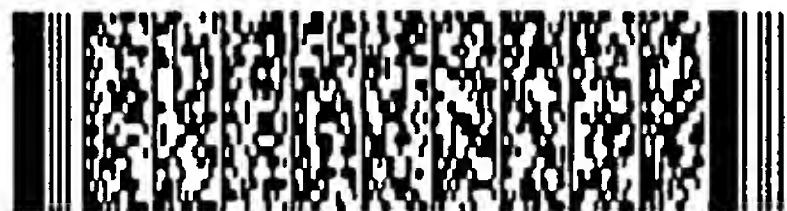
六、英文發明摘要 (發明名稱：Thin film transistor and pixel structure with the same)

the indentation and overlaps the gate. The drain is on the gate dielectric layer, wherein it is over the indentation and overlaps the gate near the indentation. Further, the channel layer is between the gate dielectric layer over the gate and the source/drain. Due to asymmetric design of the source/drain, it can reduce the capacity change substantially when alignment error of upper



六、英文發明摘要 (發明名稱：Thin film transistor and pixel structure with the same)

and lower metal layers occurs.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

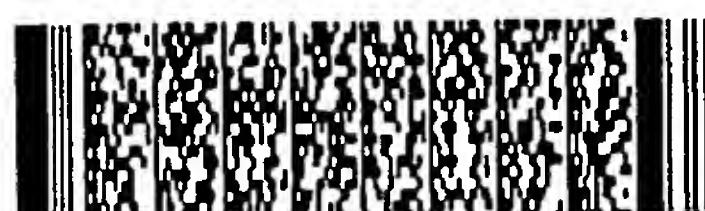
寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

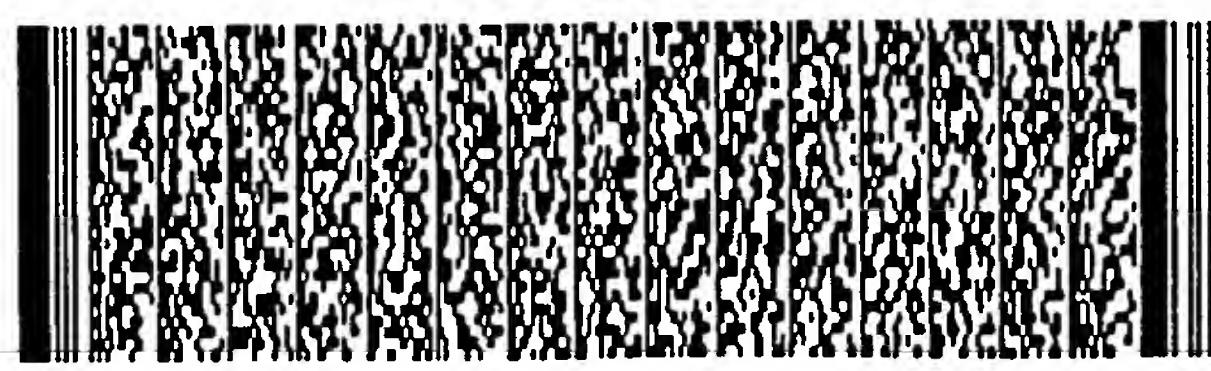
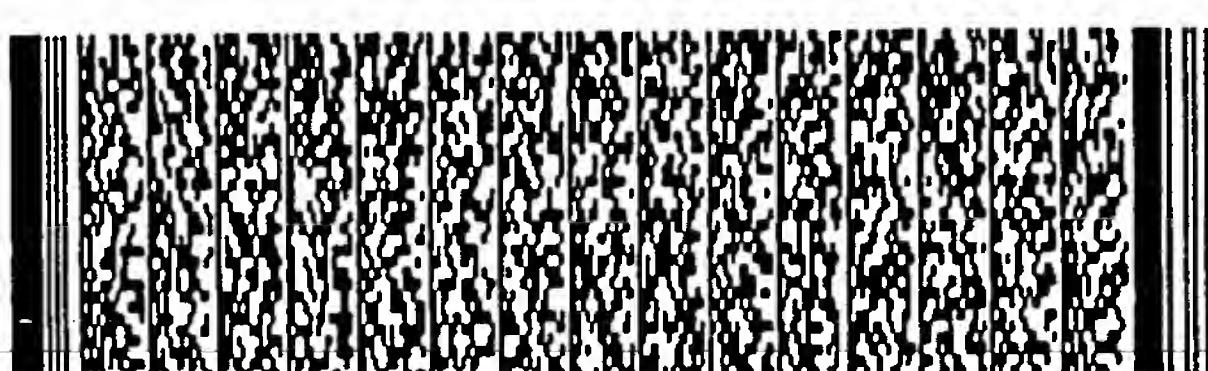
發明所屬之技術領域

本發明是有關於一種半導體元件之結構，且特別是有關於一種薄膜電晶體(thin film transistor，簡稱TFT)及具有此種薄膜電晶體之畫素結構(pixel structure)。

先前技術

薄膜電晶體液晶顯示器主要由薄膜電晶體陣列基板、彩色濾光陣列基板和液晶層所構成，其中薄膜電晶體陣列基板是由多個以陣列排列之薄膜電晶體，以及與每一薄膜電晶體對應配置之一畫素電極(pixel electrode)而構成數個畫素結構。而上述之薄膜電晶體係包括閘極、通道層、汲極與源極，其係用來作為液晶顯示單元的開關元件。而習知的畫素結構常有重疊失誤(overlap shift)的問題，請參考第1A圖與第1B圖。

第1A圖與第1B圖係分別為習知一種畫素結構無重疊失誤及有重疊失誤之上視示意圖。請先參照第1A圖，其係習知無發生重疊失誤的畫素結構100之上視示意圖，其係包括一閘極102、一掃描配線104、一閘介電層(未繪示)、一通道層106、一源極108、一汲極110、一資料配線112、一保護層(未繪示)以及一畫素電極114。而掃描配線104以及閘極102是電性相連且配置於一基板(未繪示)上，其中掃描配線104以及閘極102同屬一第一金屬層。而閘介電層是覆蓋於掃描配線104以及閘極102。另外，通道層106是位於閘極102上方之閘介電層上，而源極108與汲極110是配置於閘極102兩側之閘介電層上，且源極108與汲極110



五、發明說明 (2)

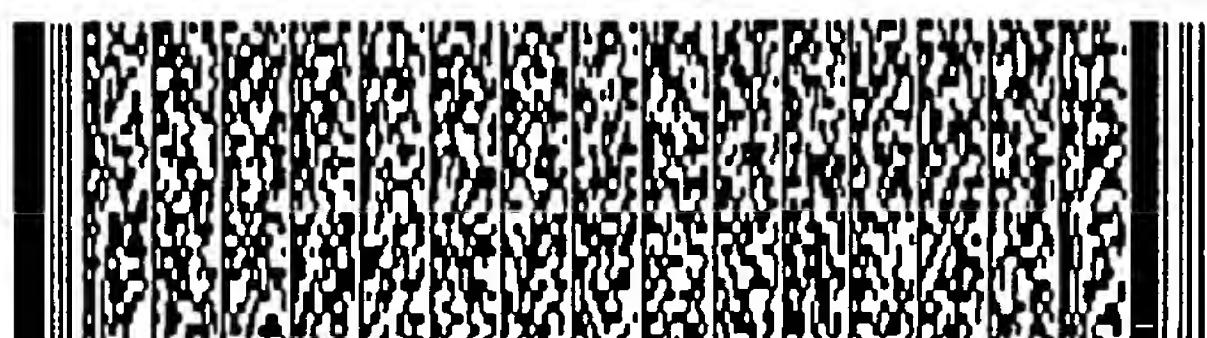
部分重疊於通道層106上，其中源極108與汲極110同屬一第二金屬層。再者，資料配線112是位於閘介電層上，且與源極108電性相連，其中資料配線112也屬於第二金屬層。而前述閘極102、通道層106以及源極/汲極108/110可構成一薄膜電晶體120。保護層則是覆蓋薄膜電晶體120、掃描配線104以及資料配線112，其中保護層具有一接觸窗116，暴露出汲極110。而畫素電極114就是藉由接觸窗116而與汲極110電性連接。

在上述畫素結構中，其閘極102與汲極110間之寄生電容 $C_{gd}(a)$ 的大小，係與閘極102與汲極110之間重疊區域的大小有關。倘若薄膜電晶體陣列中之間極與汲極間的寄生電容發生變化的話，將會造成液晶顯示器之效能受到影響。

而會造成閘極與汲極間之寄生電容改變主要的原因是來自第一金屬層(閘極)與第二金屬層(源極與汲極)的對準不佳，如第1B圖所示。相較於第1A圖，第1B圖中之第二金屬層(包括資料配線112以及源極/汲極108/110)明顯產生偏移，如此一來，閘極102與汲極110間之寄生電容 $C_{gd}(a')$ 也將會因為閘極102與汲極110之間重疊區域的大小縮減而大幅改變，進而造成產品畫面有mura(畫面不均勻)的缺點。

發明內容

因此，本發明的目的就是提供一種薄膜電晶體及具有此種薄膜電晶體之畫素結構，以大幅降低畫素結構之閘極

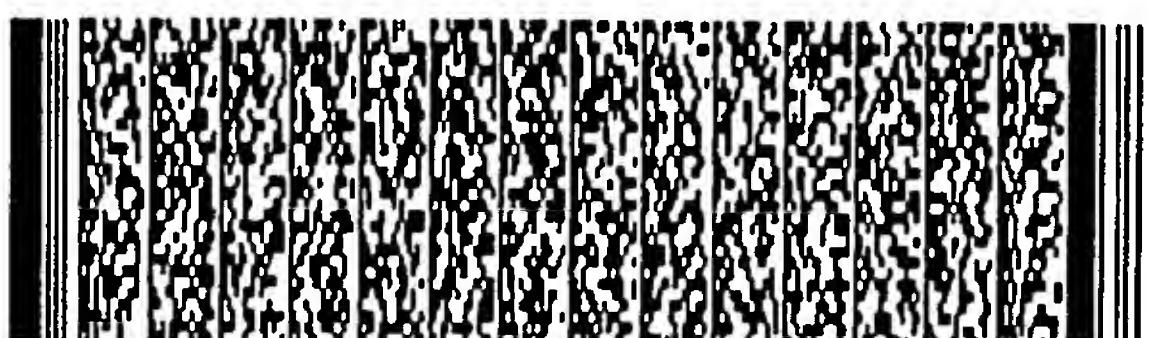


五、發明說明 (3)

與汲極間的寄生電容改變值，甚至是在重疊失誤的情形下，也不會使閘極與汲極間的寄生電容改變。

根據上述與其它目的，本發明提出一種薄膜電晶體包
括具有至少一凹口的一閘極、一閘介電層、一源極、一汲
極以及一通道層。閘極是配置在一基板上，而閘介電層與
配置在基板上，並覆蓋閘極。源極則是配置在閘極之上，
其中源極係位於凹口上方，且汲極與凹口旁之部分分
上閘極重疊。而汲極配置在源極上方之閘介電層以及源
中汲極係位於凹口上方，且汲極與凹口旁之部分分
中疊。再者，通道層是配置在閘極上方之閘介電層以及
與汲極之間。

於一實施例中，源極可選擇與閘極重疊或分成兩個條狀部分，其中條狀部分分別相鄰汲極之兩長邊配置。



五、發明說明 (4)

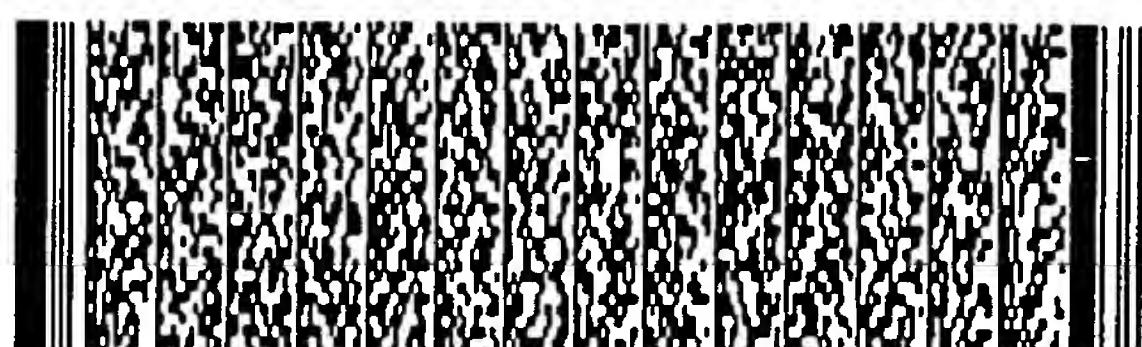
住閘極、閘介電層、通道層、源極、汲極、掃描配線以及資料配線。而接觸窗則配置在保護層中，且與汲極電性接觸。另外，畫素電極是配置在保護層上，且畫素電極係藉由接觸窗而與汲極電性連接。

於一實施例中，源極可選擇與閘極重疊或分成兩個條狀部分，其中條狀部分分別相鄰汲極之兩長邊配置。而且，源極更可包括延伸至掃描配線上方之閘介電層上。

本發明又提出一種薄膜電晶體，包括一掃描配線、閘極、閘介電層、通道層、汲極以及三叉型源極。其中，掃描配線配置在一基板上，而閘極也是配置於基板上且與掃描配線電性連接，其中閘極具有至少一凹口。閘介電層則配置在基板上，並覆蓋掃描配線與閘極，而汲極係配置在凹口上方之閘介電層上，且汲極與凹口旁之部分閘極以及部分掃描配線重疊。三叉型源極則是配置在閘介電層上，其中包括配置於閘介電層上方的兩第一凸出部、配置於第一凸出部間的掃描配線上上方之一第二凸出部以及連接前述各凸出部的一連接部，其中第一凸出部係位於凹口上方以外之區域，且第一凸出部與部分閘極重疊，而第二凸出部較第一凸出部短。此外，通道層是配置在閘極與汲極、三叉型源極之間。

上述結構中，三叉型源極之連接部可超出掃描配線配置。另外，可包括一資料配線，配置在閘介電層上，且資料配線係與三叉型源極電性連接。

由於本發明利用不對稱源極與汲極設計，所以當第一



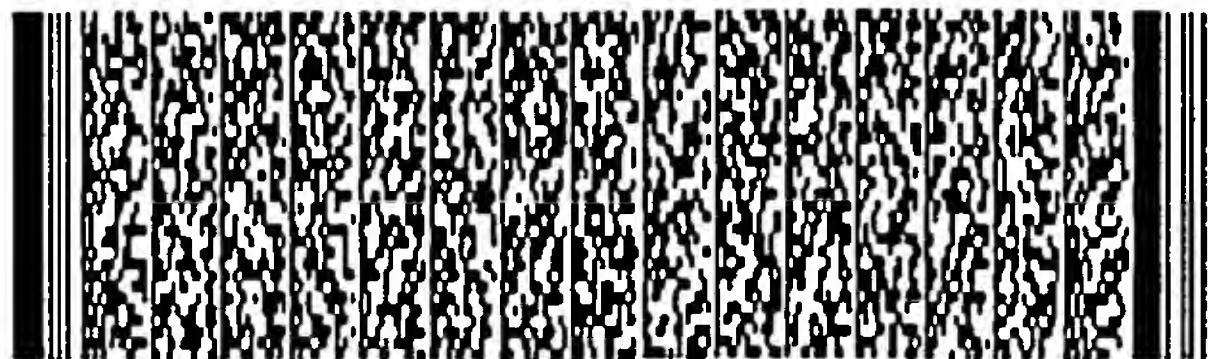
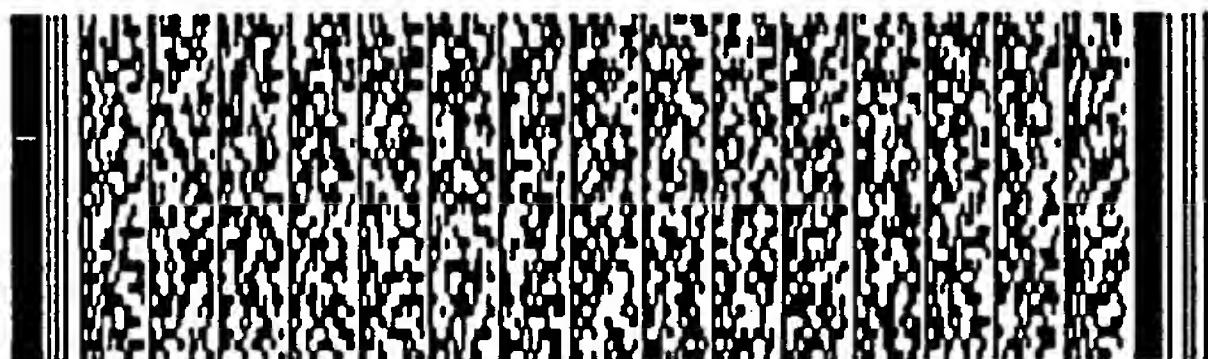
五、發明說明 (5)

金屬層(閘極)與第二金屬層(源極與汲極)的對準不佳時，仍可大幅降低 C_{gd} 電容的變化值降低很多。另外，本發明之源極/汲極設計結構也可應用於修補結構中。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

第2圖係依照本發明一較佳實施例之畫素結構之上視示意圖。請參照第2圖，本發明之畫素結構200包括一掃描配線204、一閘極202、一閘介電層205、一源極208、一汲極210、一通道層206、一資料配線212、一保護層(未繪示)、一接觸窗216以及一畫素電極214。其中，掃描配線204係配置在一基板(未繪示)上，而閘極202是配置在基板上，且與掃描配線204電性相連，其中閘極202具有一凹口203。而且，閘極202之凹口203的形狀可以是三角形(如等腰三角形、不等腰三角形、正三角形)、四邊形(如矩形、正方形、梯形)或不規則形等形狀，而非限定於圖中所示。而閘介電層205則配置在基板上，覆蓋閘極202與掃描配線204。通道層206則是配置在閘極202上方之閘介電層205上。源極208則是配置在閘極202上方之通道層206上，其中源極208位於凹口203上方以外之區域，且源極208與部分閘極202重疊。而汲極210配置於源極208所暴露出之通道層206上，其中汲極210係位於凹口203上方，且汲極210與凹口203旁之部分閘極202重疊。再者，通道層206、



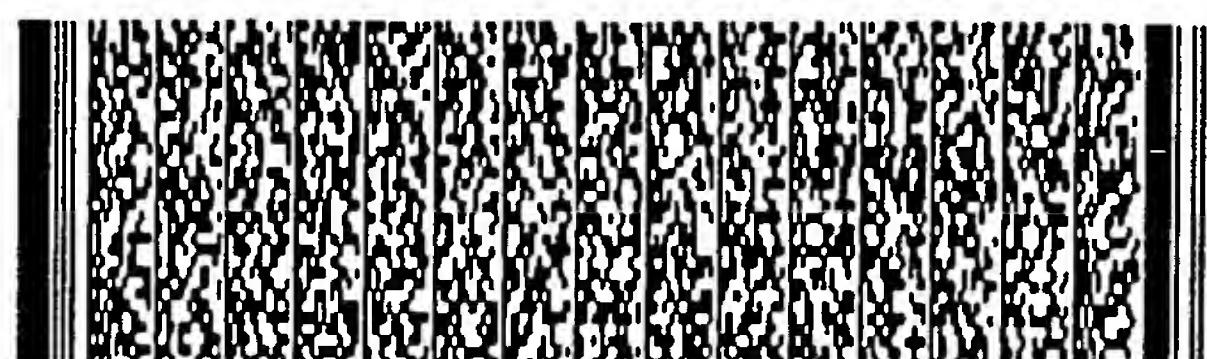
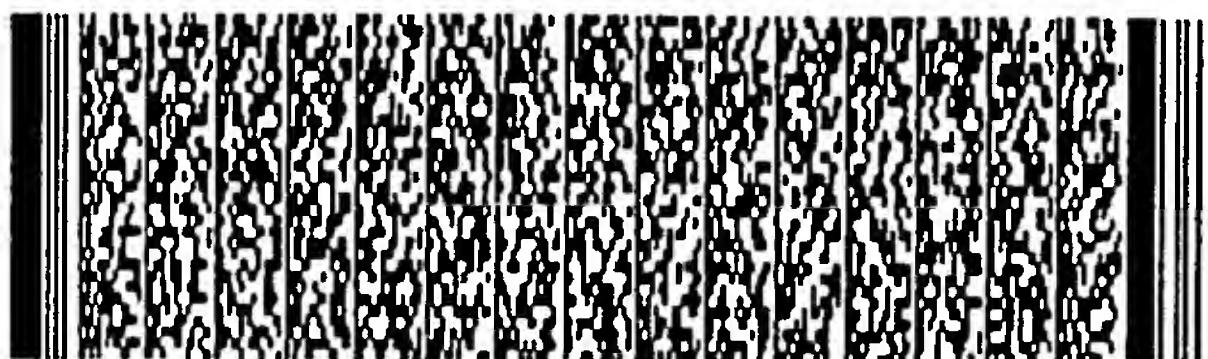
五、發明說明 (6)

源極208、汲極210以及閘極202係構成一薄膜電晶體220，而在通道層206與源極208、汲極210之間還可包括一蝕刻中止層(I stopper)。而資料配線212是配置在閘介電層205上，且資料配線212係與源極208電性連接，而保護層配置在基板上方，覆蓋住薄膜電晶體220、掃描配線204以及資料配線212。而接觸窗216則配置在保護層中，且與汲極210電性接觸。另外，畫素電極214是配置在保護層上，且畫素電極214係藉由接觸窗216而與汲極210電性連接。為詳細說明本發明之優點，請見第3A圖與第3B圖。

第3A圖與第3B圖係分別為第2圖之第Ⅲ部位的薄膜電晶體無重疊失誤(overlap shift)及有重疊失誤之放大上視示意圖。請參照第3A圖與第3B圖，本發明之薄膜電晶體220部分在無重疊失誤時(請見第3A圖)的閘極202與汲極210間之寄生電容 $C_{gd}(a+b)$ 與有重疊失誤時(請見第3B圖)的閘極202與汲極210間之寄生電容 $C_{gd}(a'+b')$ 主要是依照閘極202與汲極210重疊部位的大小來決定，而本發明之設計可大幅降低因重疊失誤所造成的寄生電容，甚至是如第3A圖與第3B圖在發生重疊失誤的情形下，也不會使閘極202與汲極210間的寄生電容改變。其中，通道層206是指配置在閘極202上方之點狀位置。

此外，於一實施例中，可將閘極202之凹口203加大，以減少x方向的重疊變化所造成的電流變化。

而以下第4A圖至第4F圖則是依照第3A圖之IV-IV剖面所示之薄膜電晶體的製造流程剖面示意圖。請先參照第4A



五、發明說明 (7)

圖，本實施例之薄膜電晶體是先在一基板400上同時形成包含掃描配線(請見第3A圖之204)與閘極202的第一金屬層。之後，於基板400上形成一閘介電層402，並覆蓋掃描配線與閘極202，再依序形成一非晶矽(α -Si)層404以及一蝕刻終止層406，其中蝕刻終止層406之材質如氮化矽。

之後，請參照第4B圖，在基板400上形成一光阻層408。接著，在閘極202上方利用一光罩410對光阻層408進行曝光製程412，而被曝光之區域408c即為預定形成通道層(請見第3A圖之206)的部位。

接著，請參照第4C圖，從基板400背面對光阻層408進行另一道曝光製程414，此時被曝光之區域408b係以第一金屬層(即閘極202)作為罩幕。

然後，請參照第4D圖，對曝光過的光阻層408進行顯影，再利用顯影後的光阻層408c作為蝕刻罩幕，以圖案化蝕刻終止層406。

接著，請參照第4E圖，去除剩餘的光阻層，再於基底400上形成一歐姆接觸層416，並覆蓋非晶矽層404以及一蝕刻終止層406。隨後，於歐姆接觸層416上形成一第二金屬層418。

之後，請參照第4F圖，圖案化第二金屬層418，以形成源極208與汲極210。同時，利用與圖案化第二金屬層418一樣的光罩蝕刻歐姆接觸層416以及非晶矽層404。由於部分閘極202上方存在有蝕刻終止層406，所以蝕刻終止層406以下的非晶矽層404不會被去除，而形成通道層



另外，本發明之薄膜電晶體的設計尚有多種變形，如第5圖與第6圖所示。

第5圖與第6圖係依照本發明之各實施例之薄膜電晶體之上視示意圖。請參照第5圖與第6圖，其中的掃描配線504與閘極502之配置如第4A圖所示。而第5圖與第6圖中的通道層506(點狀標示處)皆位於閘極502上之間介電層505上，而兩者的不同在於源極508及汲極510的配置，其中第5圖的汲極510與凹口503旁之部分閘極502重疊，而源極508包括兩個條狀部分，位於凹口503上方以外之區域且分別相鄰汲極510之兩長邊配置；第6圖的汲極510除了與凹口503旁之部分閘極502重疊，還重疊於部分掃描配線504，而源極508除了分別相鄰汲極510之兩長邊配置，還延伸至掃描配線504上方。

另外，本發明的設計還可以應用於可修補(repair)結構中，請參考第7圖。

第7圖係依照本發明之較佳實施例之薄膜電晶體之上視示意圖。請參照第8圖，本發明之薄膜電晶體700包括一掃描配線704、閘極702、間介電層705、通道層706、汲極710以及一三叉型源極708。各構件(element)的配置與前述第4C圖大致相同，通道層706(點狀標示處)係位於閘極702上之間介電層705上，而其中的差異在於本圖之三叉型源極708包括分別配置於該間介電層705上方的兩第一凸出部708a、配置於第一凸出部708a間的掃描配線704

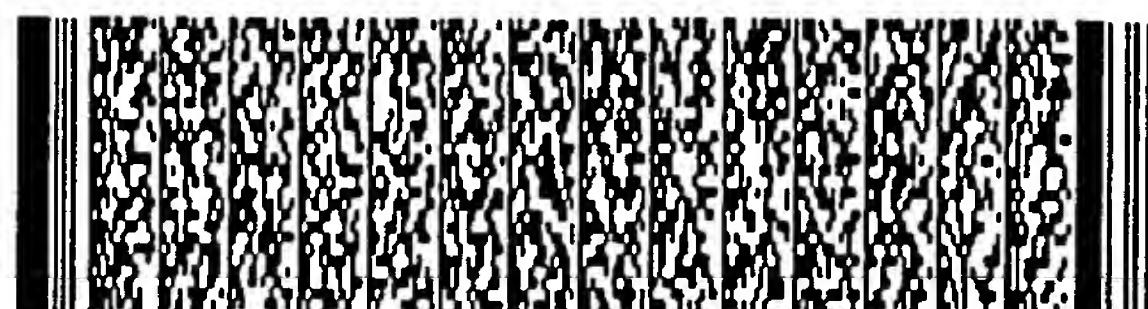


五、發明說明 (9)

上方之一第二凸出部708b 以及連接前述各凸出部708a 與708b 的一連接部708c，其中第一凸出部708a 係位於凹口703 上方以外之區域，且第一凸出部708a 與部分閘極702 重疊。再者，第二凸出部708b 較第一凸出部708a 短，且連接部708c 可超出掃描配線704 配置。所以，當三叉型源極708 其中一凸出部708a 與708b 發生故障時，可切斷連接部708c 與故障之凸出部相接處，以完成修補的動作。

綜上所述，本發明之特點在於利用不對稱源極與汲極設計，以便當第一金屬層(閘極)與第二金屬層(源極與汲極)的對準不佳時，仍可大幅降低 C_{gd} 電容的變化值降低。另外，本發明之源極/汲極設計結構也可應用於修補結構中，因此可提升元件的使用率。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A圖與第1B圖係分別為習知一種畫素結構無重疊失誤及有重疊失誤之上視示意圖；

第2圖係依照本發明一較佳實施例之畫素結構之上視示意圖；

第3A圖與第3B圖係分別為第2圖之第Ⅲ部位的薄膜電晶體無重疊失誤及有重疊失誤之放大上視示意圖；

第4A圖至第4F圖則是依照第3A圖之IV-IV剖面所示之薄膜電晶體的製造流程剖面示意圖；

第5圖與第6圖係依照本發明之各實施例之薄膜電晶體之上視示意圖；以及

第7圖係依照本發明之較佳實施例之可修補薄膜電晶體之上視示意圖。

圖式標示說明

100、200：畫素結構

102、202、502、702：閘極

104、204、504、704：掃描配線

106、206、506、706：通道層

108、208、508：源極

110、210、510、710：汲極

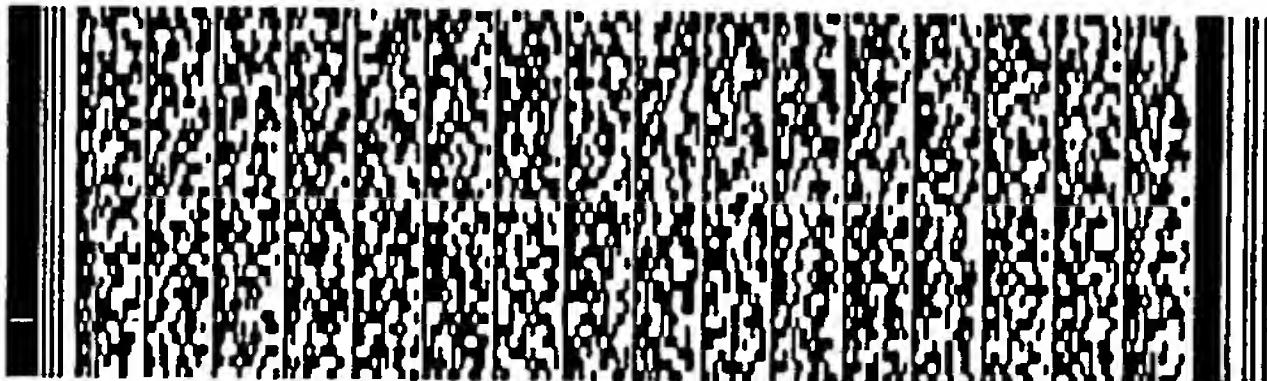
112、212：資料配線

114、214：畫素電極

116、216：接觸窗

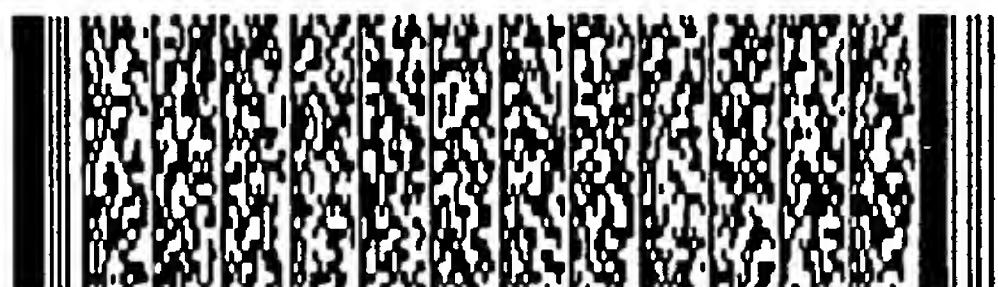
120、220、700：薄膜電晶體

203、503、703：凹口



圖式簡單說明

205、402、505、705：閘介電層
400：基板
404：非晶矽層
406：蝕刻終止層
408、408a、408b、408c：光阻層
410：光罩
412、414：曝光製程
416：歐姆接觸層
418：第二金屬層
708：三叉型源極
708a：第一凸出部
708b：第二凸出部
708c：連接部



六、申請專利範圍

1. 一種薄膜電晶體，包括：

一閘極，配置於一基板上，其中該閘極具有至少一凹口；

一閘介電層，配置於該基板上，並將該閘極覆蓋；

一源極，配置於該閘介電層上，其中該源極係位於該凹口上方以外之區域，且該源極與部分該閘極重疊；

一汲極，配置於該源極所暴露出之該閘介電層上，其中該汲極係位於該凹口上方，且該汲極與該凹口旁之部分該閘極重疊；以及

一通道層，配置在該閘極上方之該閘介電層以及該源極與該汲極之間。

2. 如申請專利範圍第1項所述之薄膜電晶體，更包括一蝕刻中止層，位於該通道層以及該源極與汲極之間。

3. 如申請專利範圍第1項所述之薄膜電晶體，更包括一歐姆接觸層，位於該通道層以及該源極與汲極之間。

4. 如申請專利範圍第1項所述之薄膜電晶體，其中該源極與該閘極重疊。

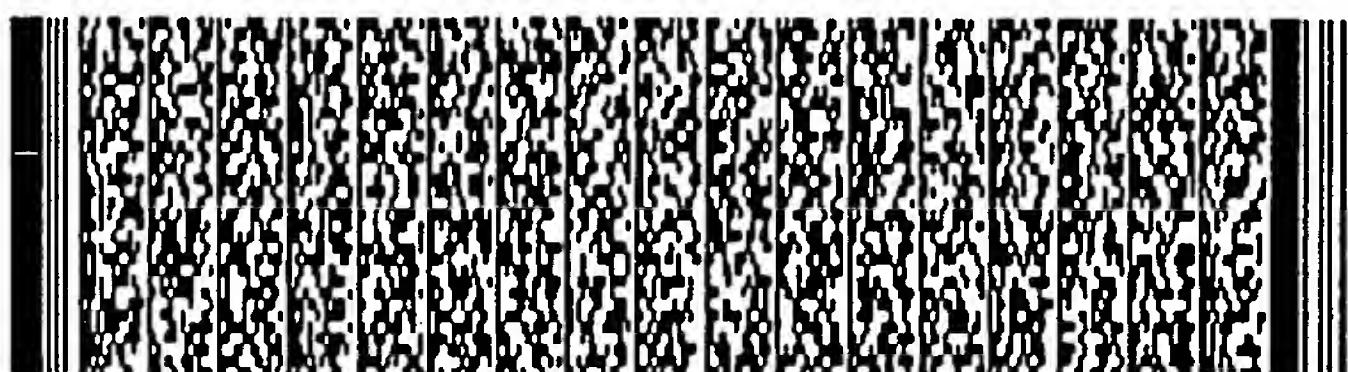
5. 如申請專利範圍第1項所述之薄膜電晶體，其中該源極包括兩個條狀部分，分別相鄰該汲極之兩長邊配置。

6. 如申請專利範圍第1項所述之薄膜電晶體，其中該閘極之該凹口的形狀包括三角形、四邊形或不規則形。

7. 一種畫素結構，包括：

一掃描配線，配置在一基板上；

一閘極，配置於該基板上且與該掃描配線電性連接，



六、申請專利範圍

其中該閘極具有至少一凹口；

一閘介電層，配置於該基板上，覆蓋該掃描配線與該些閘極；

一通道層，配置在該些閘極上方之該閘介電層上；

一源極，配置於該通道層上，其中該源極係位於該凹口上方以外之區域，且該源極與部分該閘極重疊；

一汲極，配置於該源極所暴露出之該通道層上，其中該汲極係位於該凹口上方，且該汲極與該凹口旁之部分該閘極重疊；

一資料配線，配置在該閘介電層上，且該資料配線係與該源極電性連接；

一保護層，配置在該基板上方，覆蓋住該閘極、該閘介電層、該通道層、該源極、該汲極、該掃描配線以及該資料配線；

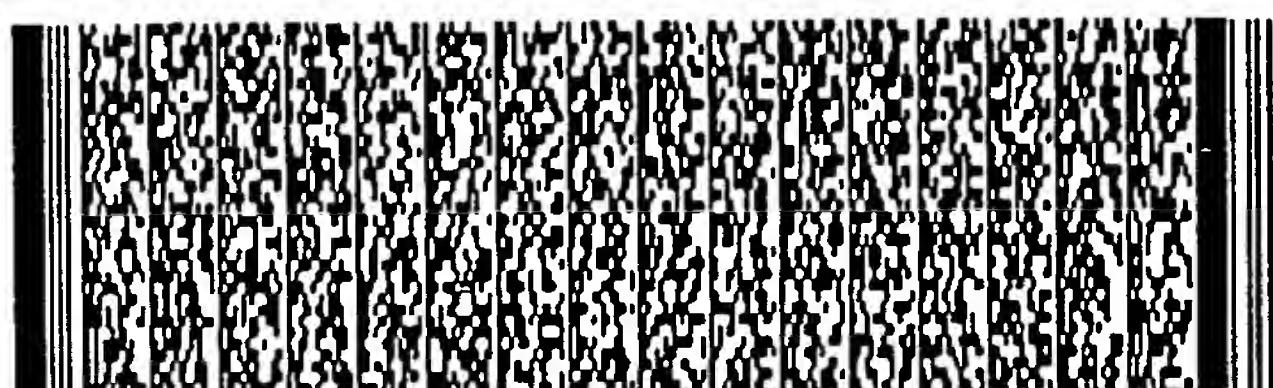
一接觸窗，配置在該保護層中，且與該汲極電性接觸；以及

一畫素電極，配置在該保護層上，且該畫素電極係藉由該接觸窗而與該汲極電性連接。

8. 如申請專利範圍第7項所述之畫素結構，更包括一蝕刻中止層，位於該通道層以及該源極與汲極之間。

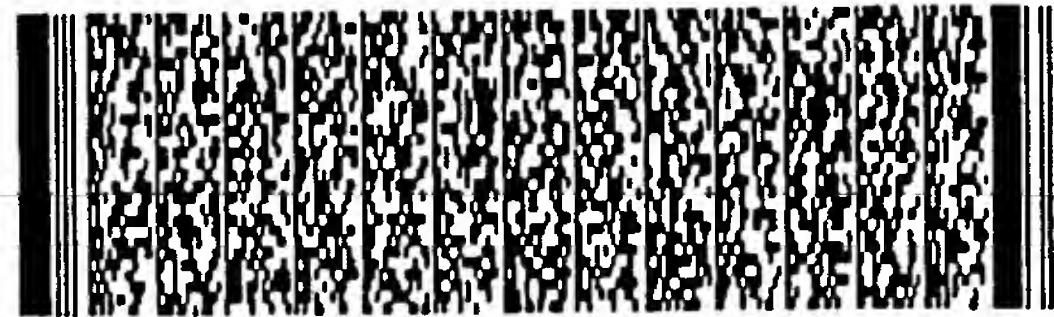
9. 如申請專利範圍第7項所述之畫素結構，更包括一歐姆接觸層，位於該通道層以及該源極與汲極之間。

10. 如申請專利範圍第7項所述之畫素結構，其中該源極與該閘極重疊。



六、申請專利範圍

11. 如申請專利範圍第7項所述之畫素結構，其中該源極包括兩個條狀部分，分別相鄰該汲極之兩長邊配置。
12. 如申請專利範圍第11項所述之畫素結構，其中該些源極更包括延伸至該掃描配線上方之該閘介電層上。
13. 如申請專利範圍第7項所述之畫素結構，其中該閘極之該凹口的形狀包括三角形、四邊形或不規則形。
14. 一種薄膜電晶體，包括：
 - 一掃描配線，配置在一基板上；
 - 一閘極，配置於該基板上且與該掃描配線電性連接，其中該閘極具有至少一凹口；
 - 一閘介電層，配置在該基板上，覆蓋該掃描配線與該些閘極；
 - 一汲極，配置在該凹口上方之該閘介電層上，且該汲極與該凹口旁之部分該閘極以及部分該掃瞄配線重疊；
 - 一三叉型源極，配置在該閘介電層上，其中該三叉型源極包括：
 - 二第一凸出部，配置於該閘介電層上，其中該些第一凸出部係位於該凹口上方以外之區域，且該些第一凸出部與部分該閘極重疊；
 - 一第二凸出部，配置於該些第一凸出部之間的該掃描配線上方，其中該第二凸出部較該第一凸出部短；以及
 - 一連接部，連接該些第二凸出部與該第一凸出部；以及



六、申請專利範圍

一通道層，配置在該些閘極與該汲極、該三叉型源極之間。

15. 如申請專利範圍第14項所述之薄膜電晶體，更包括一蝕刻中止層，位於該通道層以及該汲極、該三叉型源極之間。

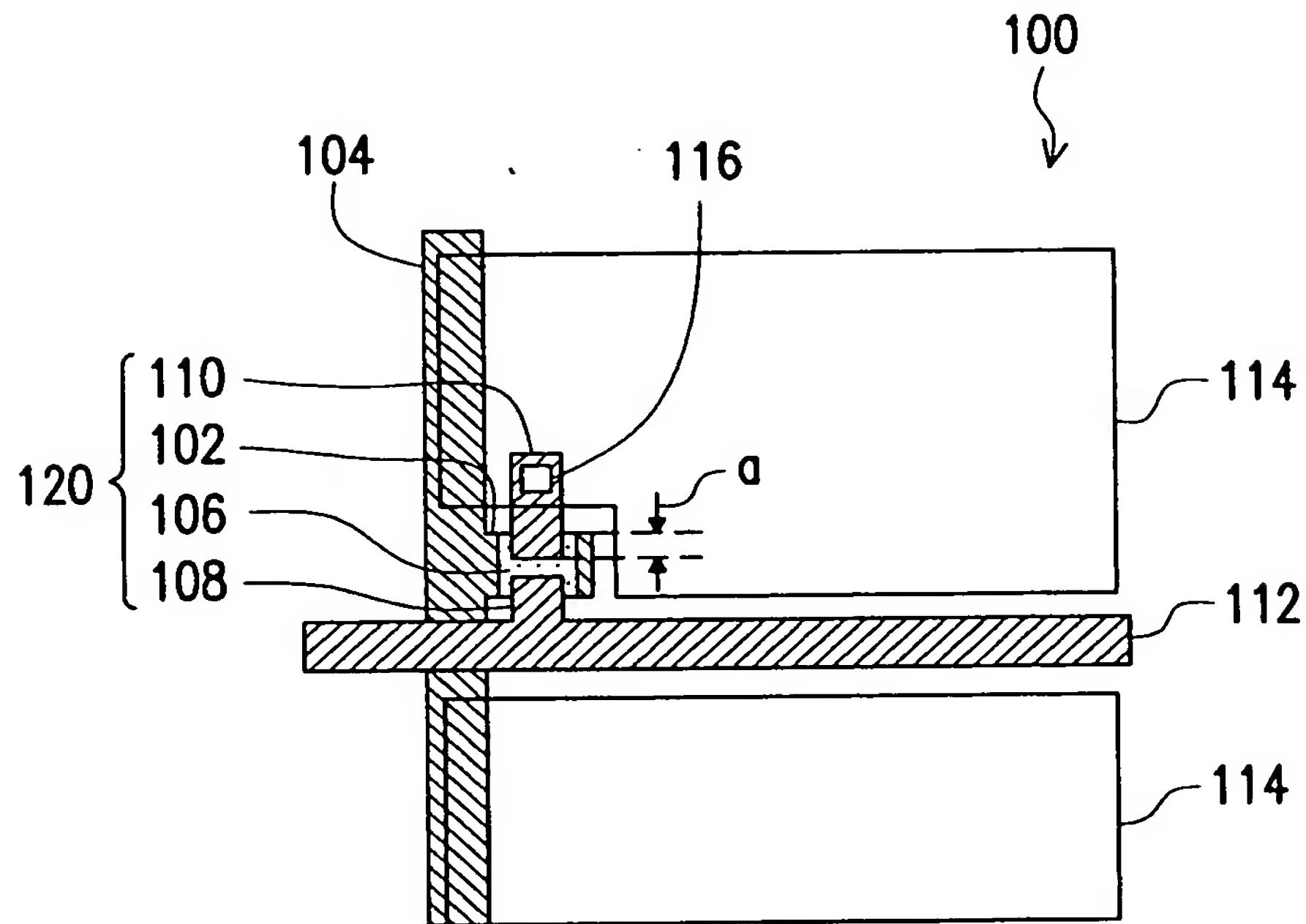
16. 如申請專利範圍第14項所述之薄膜電晶體，更包括一歐姆接觸層，位於該通道層以及該汲極、該三叉型源極之間。

17. 如申請專利範圍第14項所述之薄膜電晶體，其中該三叉型源極之該連接部係超出該掃描配線配置。

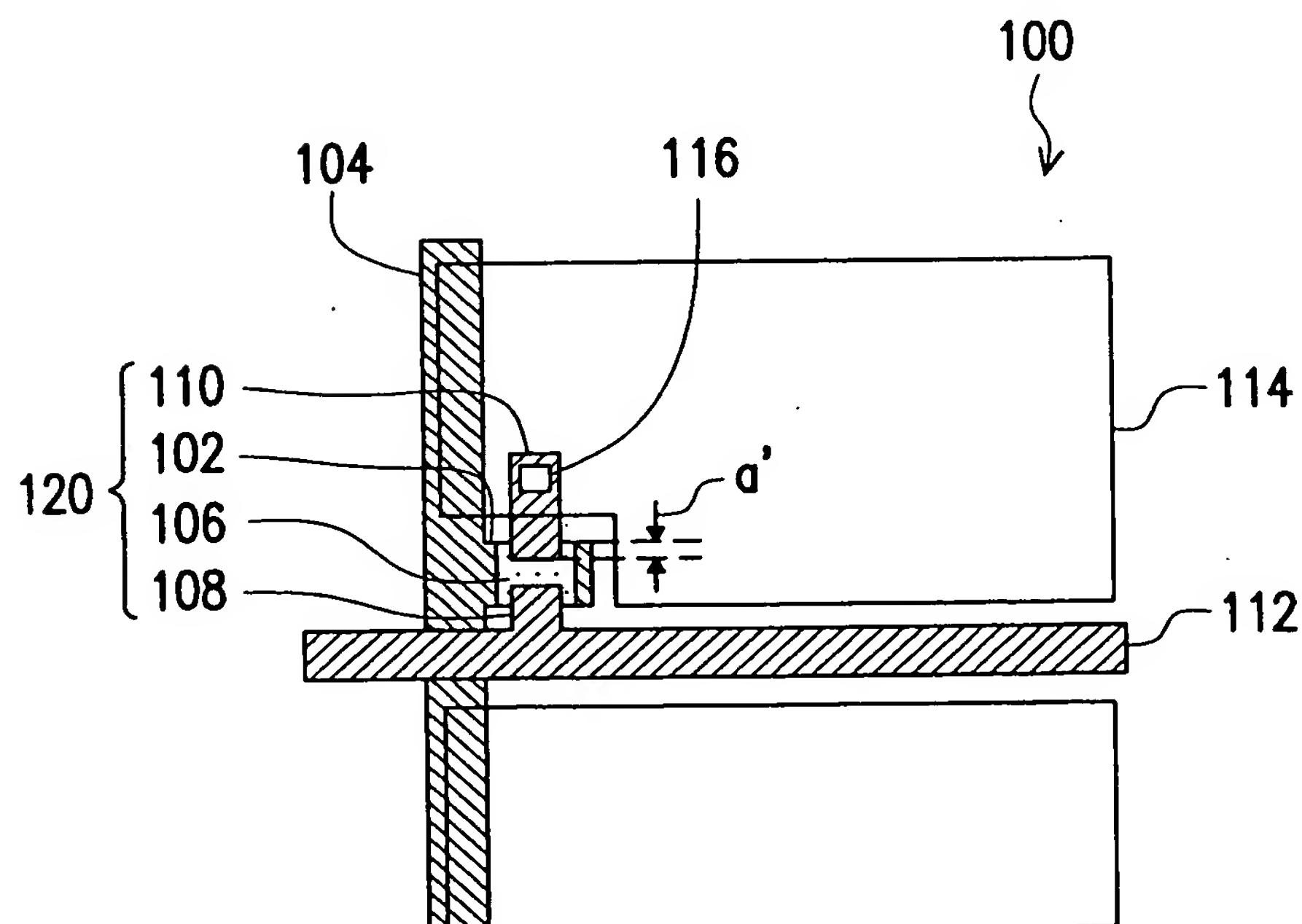
18. 如申請專利範圍第14項所述之薄膜電晶體，其中該閘極之該凹口的形狀包括三角形、四邊形或不規則形。

19. 如申請專利範圍第14項所述之薄膜電晶體，更包括一資料配線，配置在該閘介電層上，且該資料配線係與該三叉型源極電性連接。

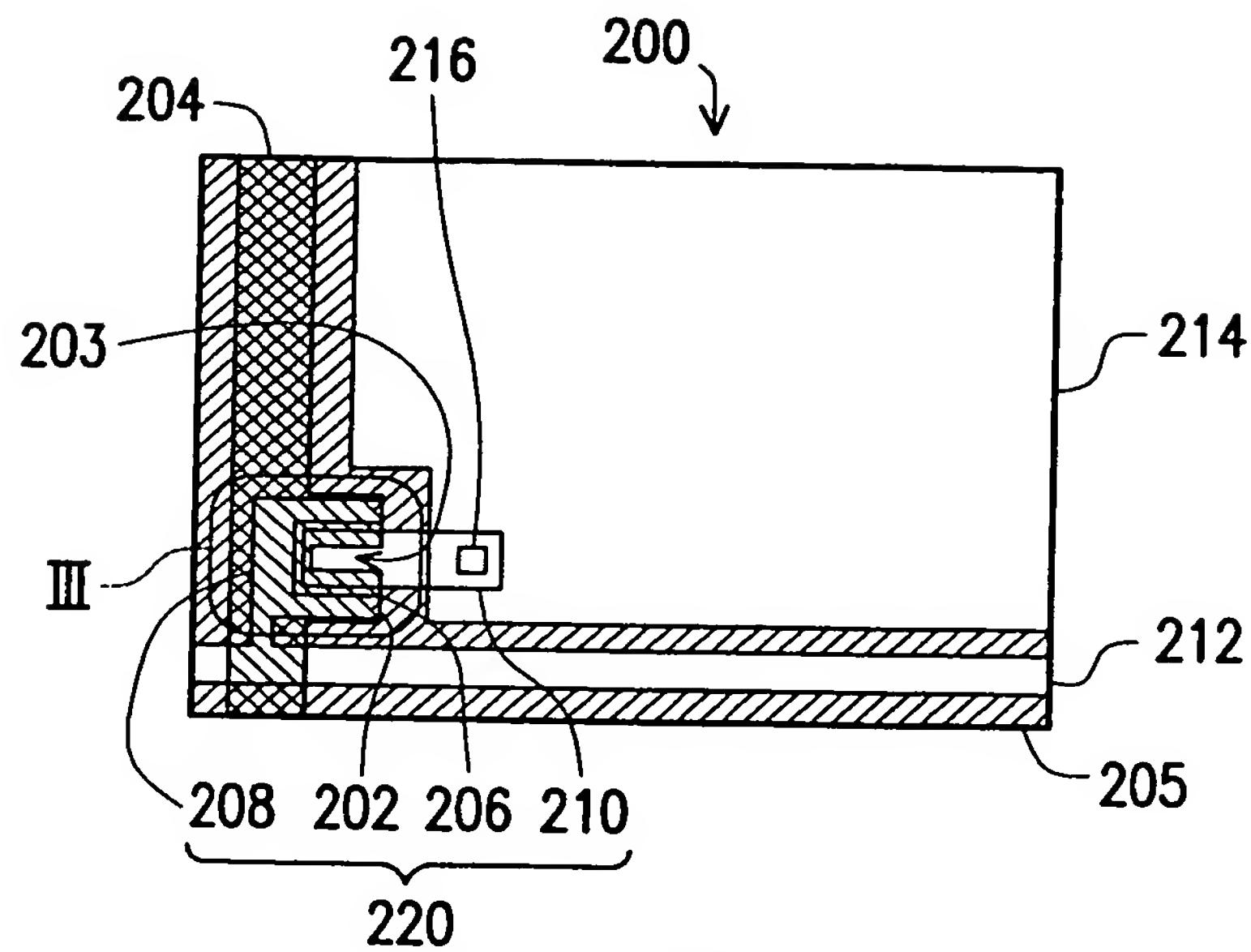




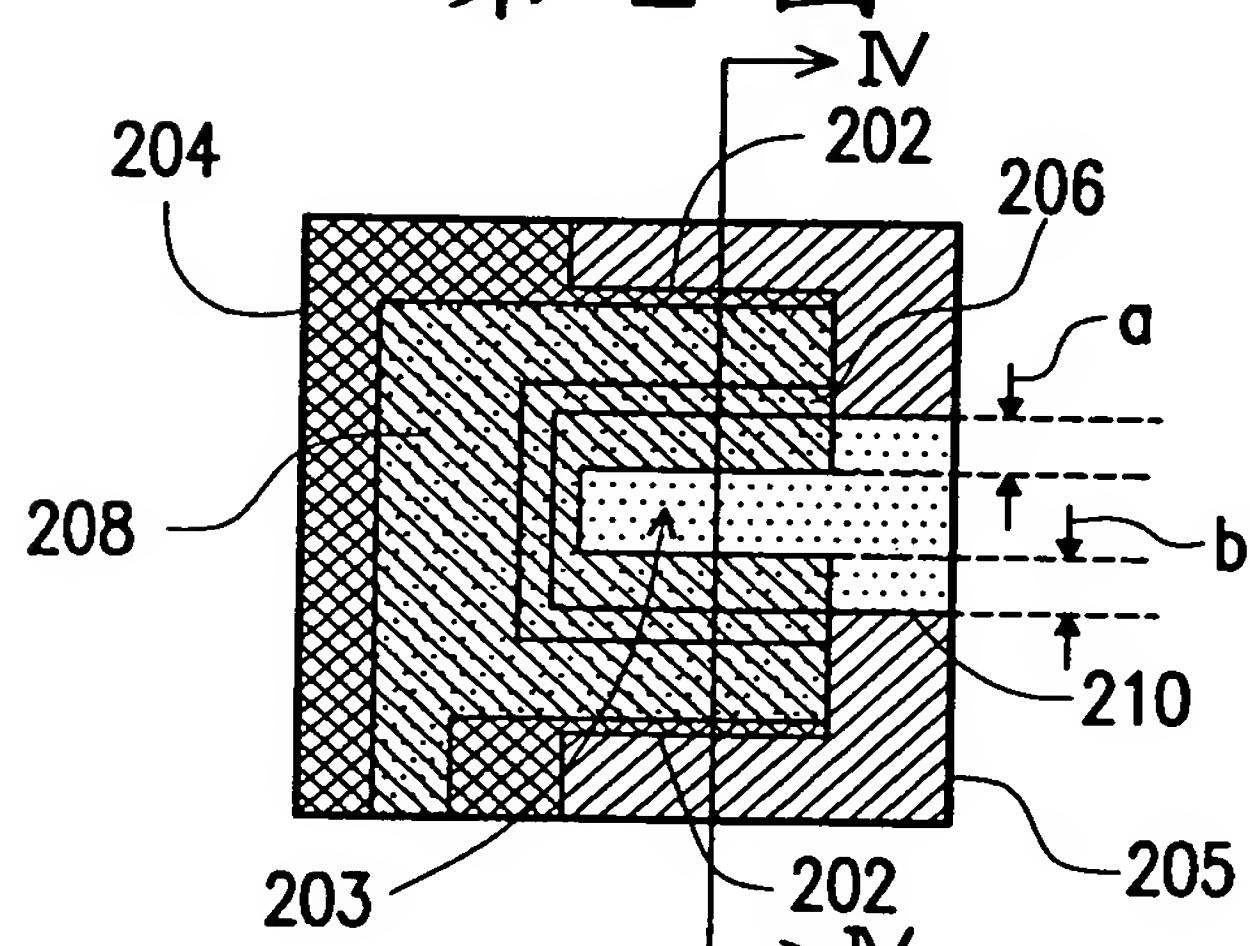
第1A圖



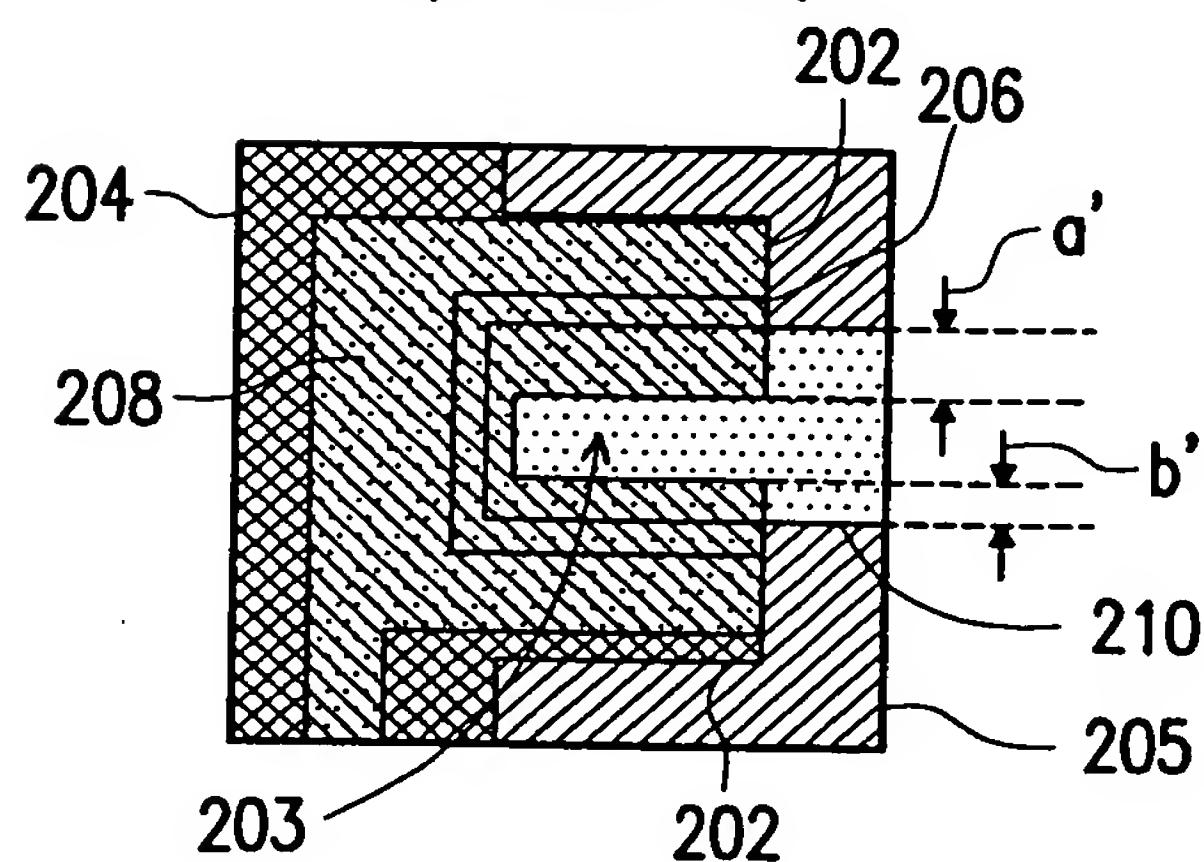
第1B圖



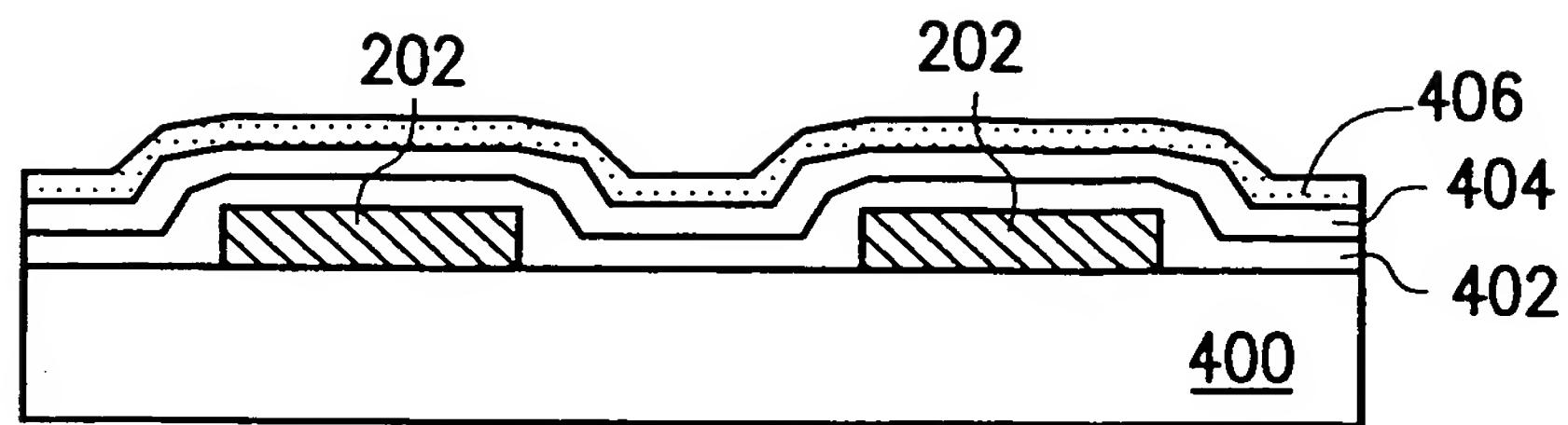
第 2 圖



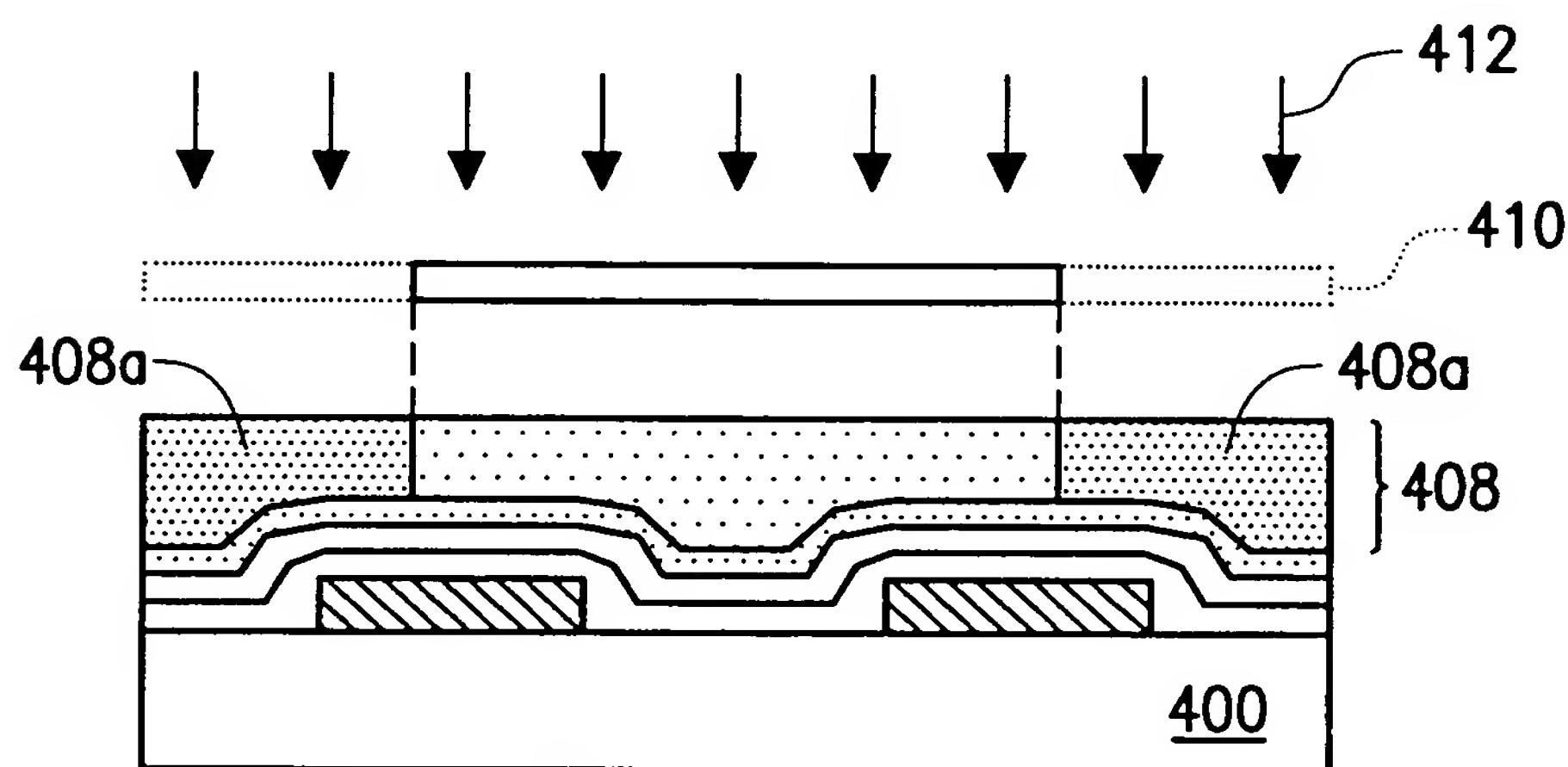
第 3A 圖



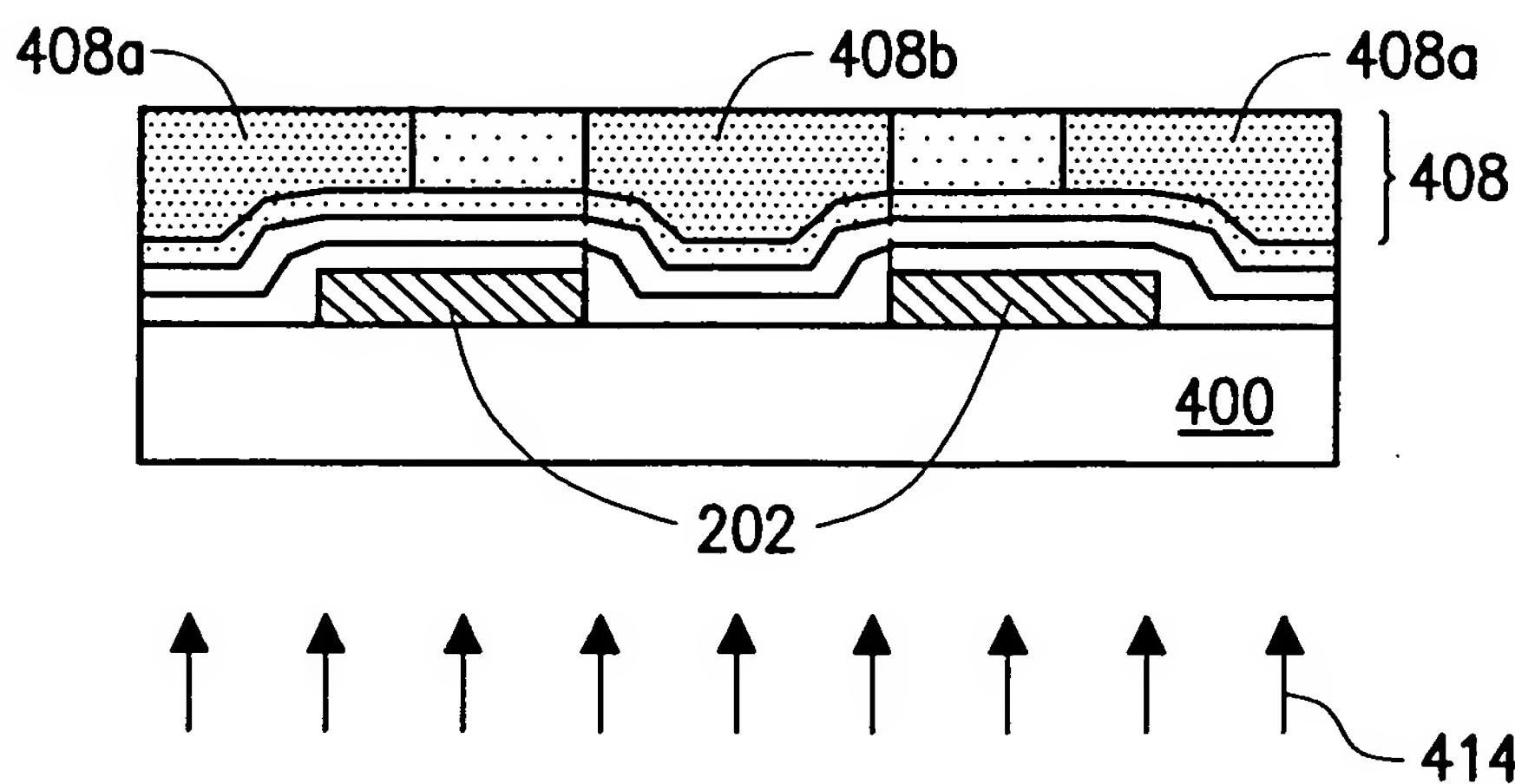
第 3B 圖



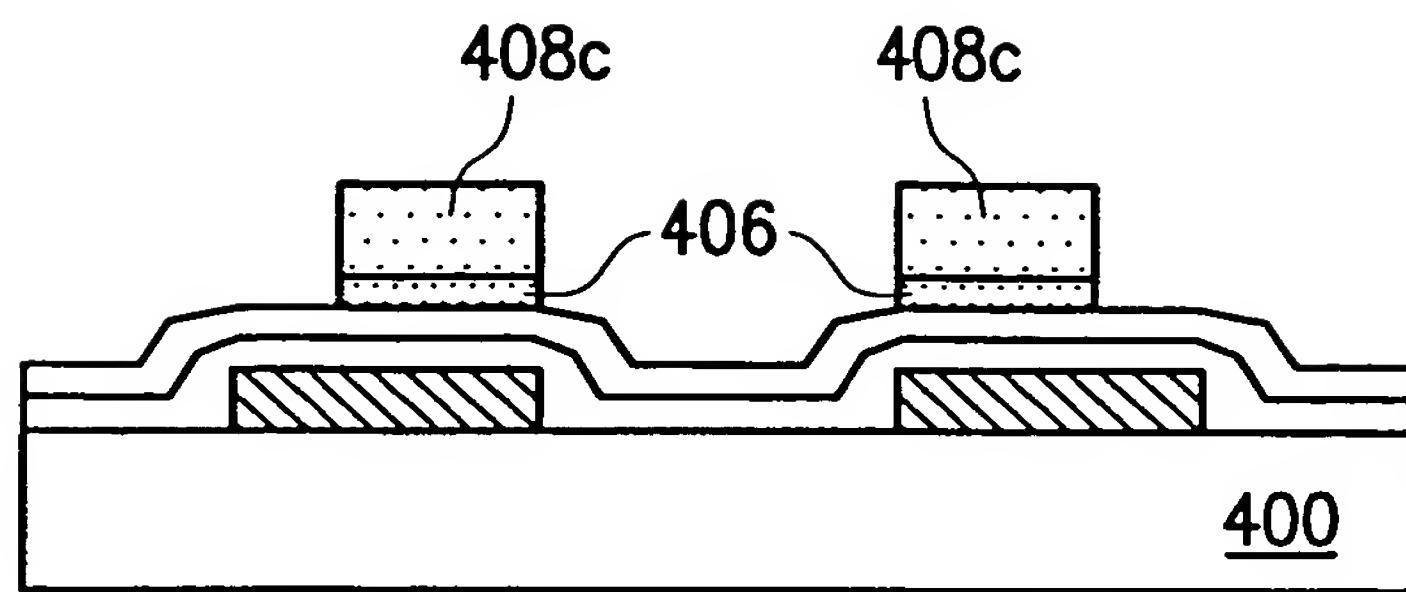
第 4A 圖



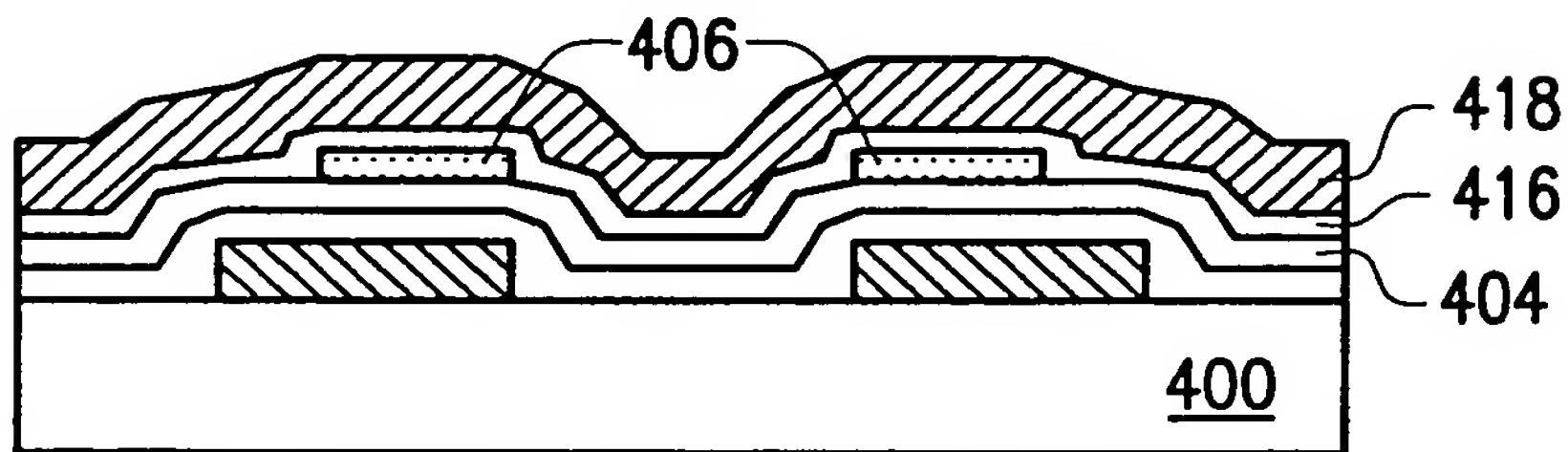
第 4B 圖



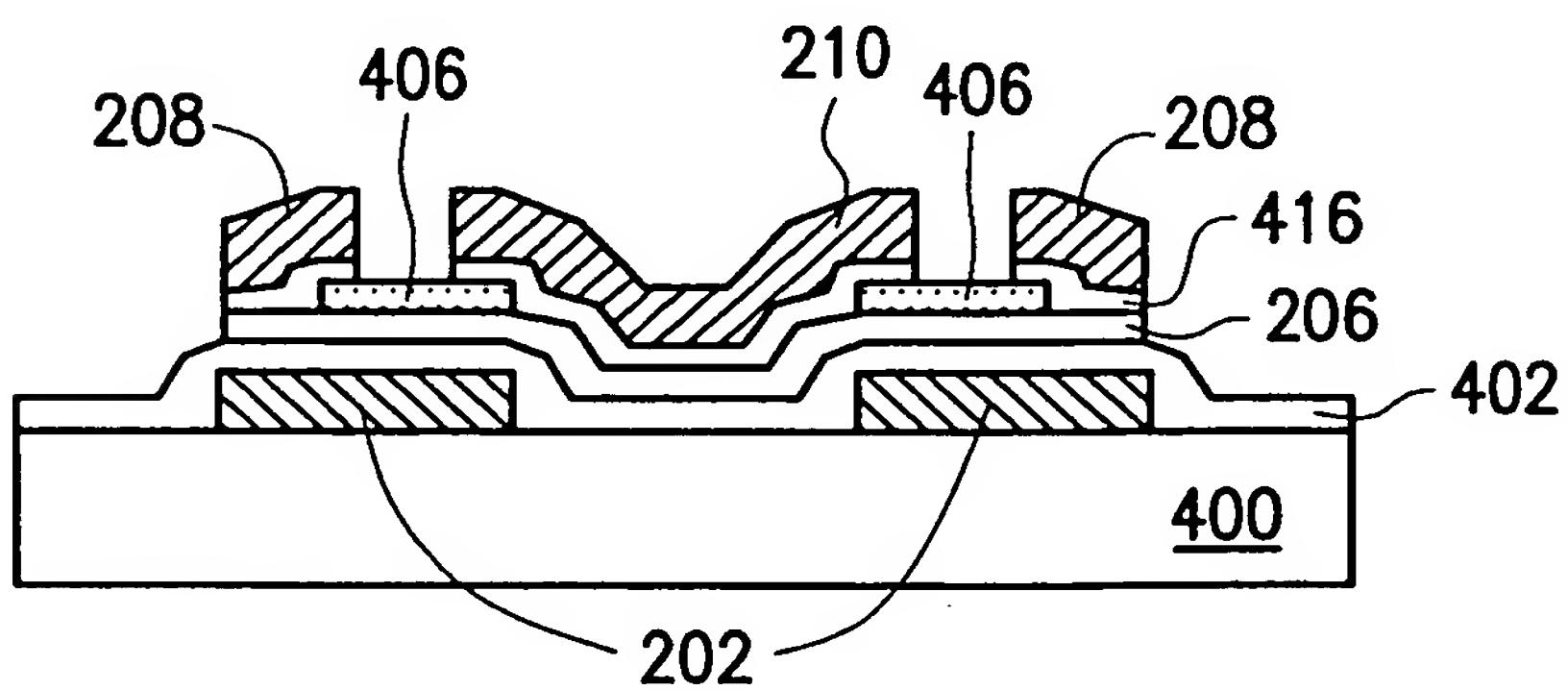
第 4C 圖



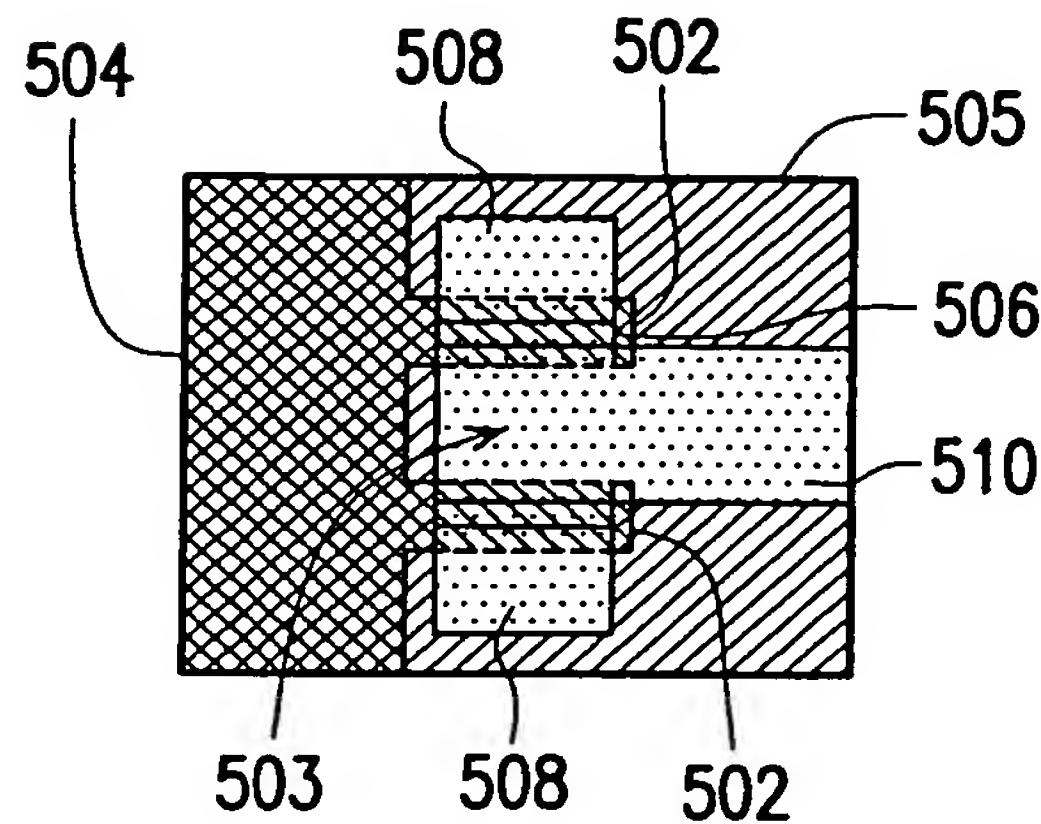
第 4D 圖



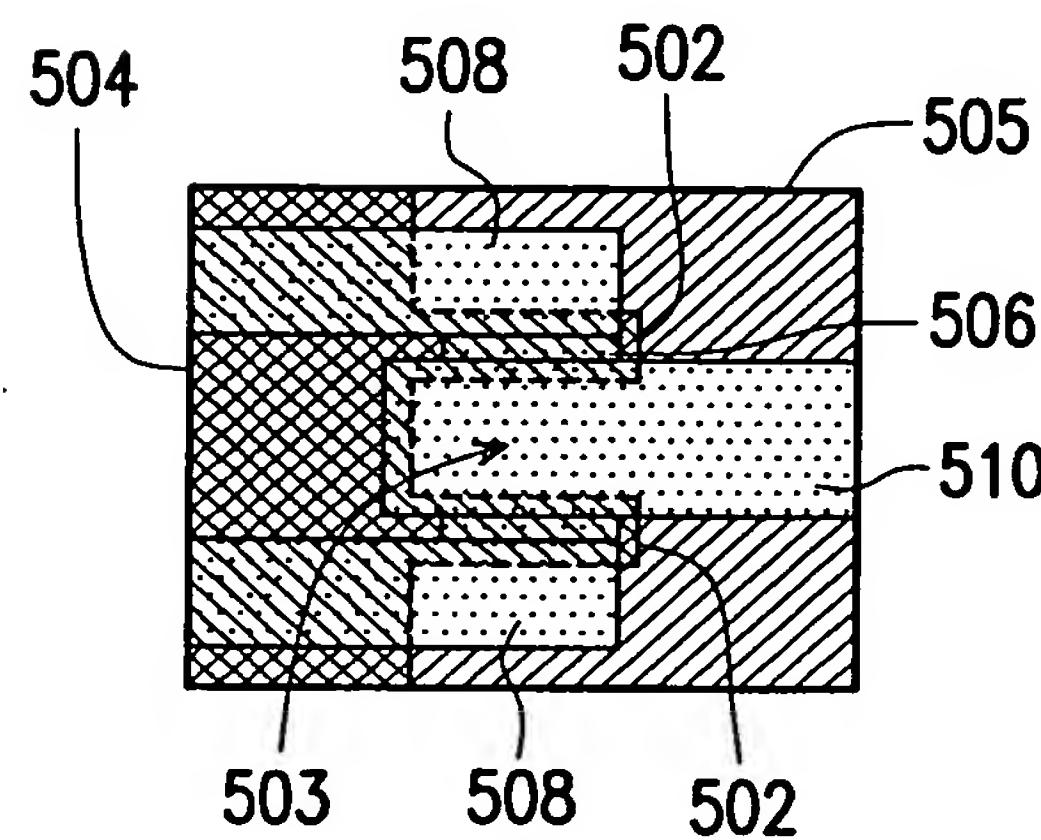
第 4E 圖



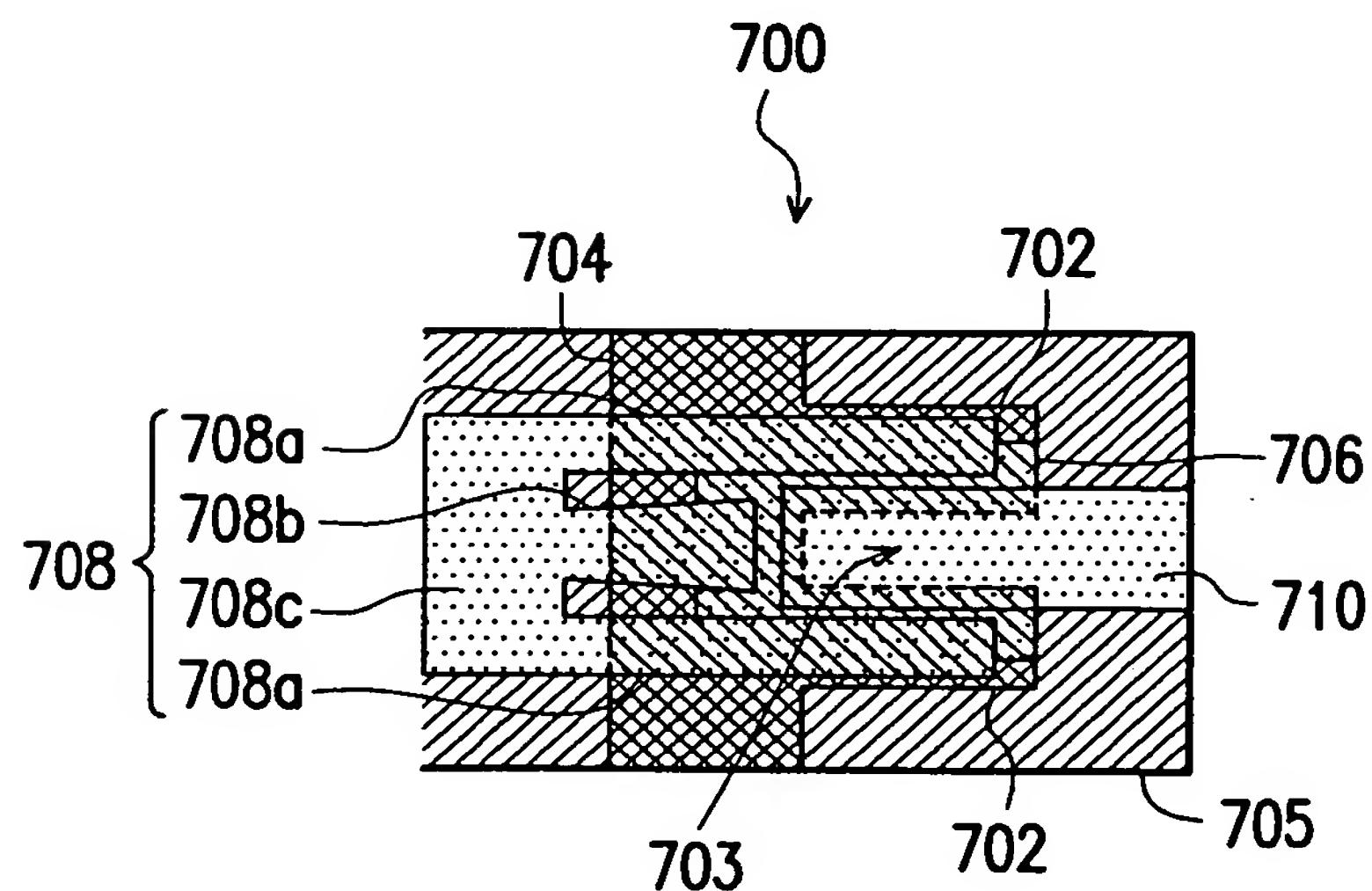
第 4F 圖



第 5 圖

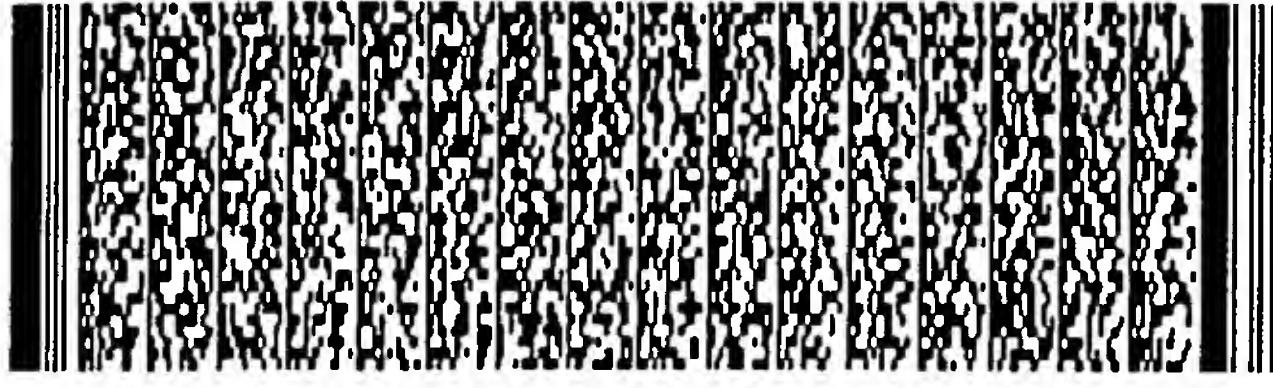


第 6 圖

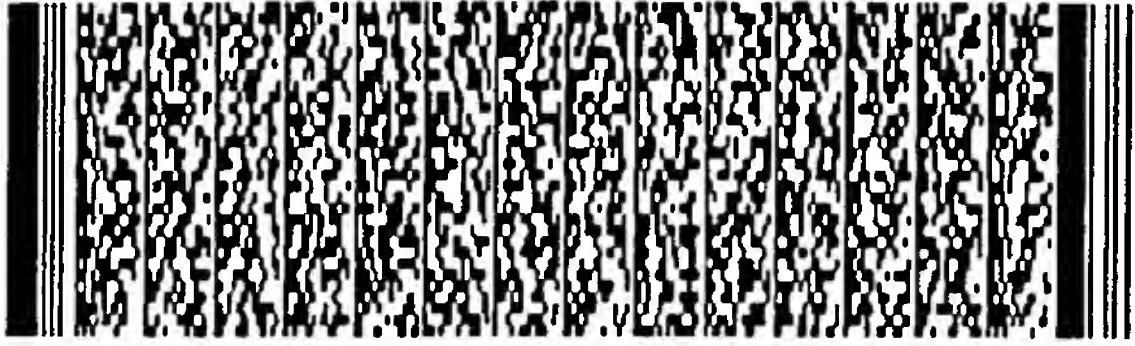


第 7 圖

第 1/20 頁



第 2/20 頁



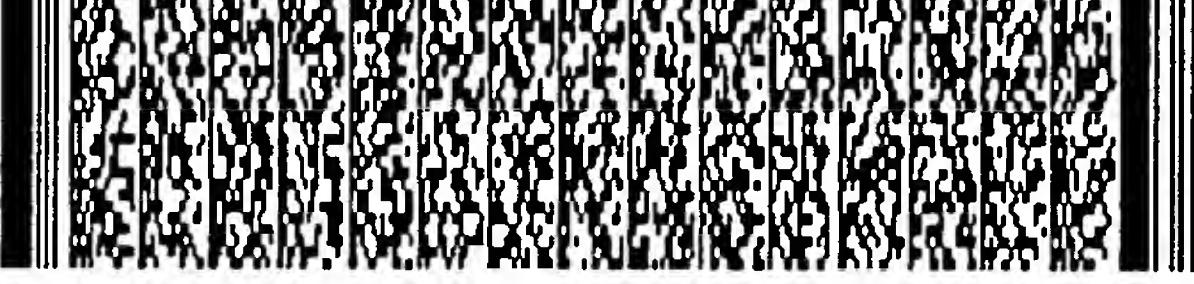
第 3/20 頁

第 4/20 頁



第 5/20 頁

第 6/20 頁



第 7/20 頁



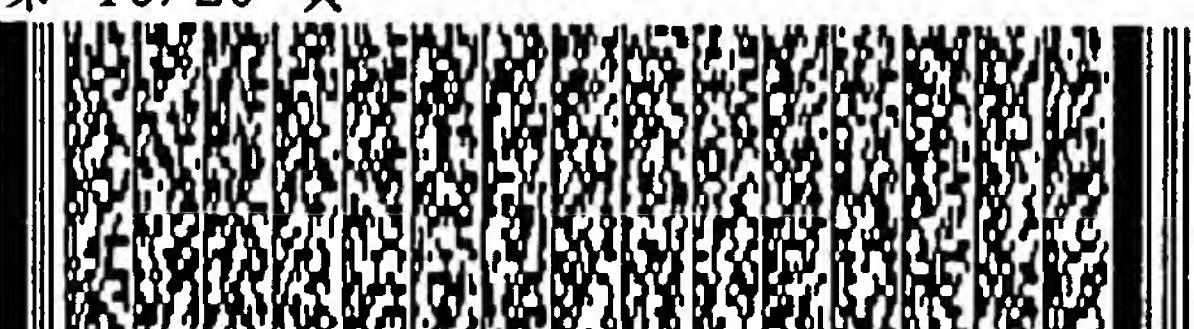
第 8/20 頁



第 9/20 頁



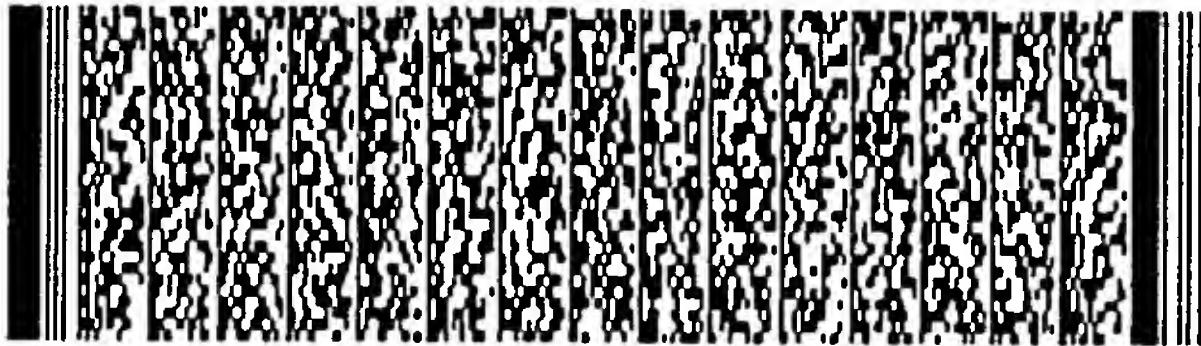
第 10/20 頁



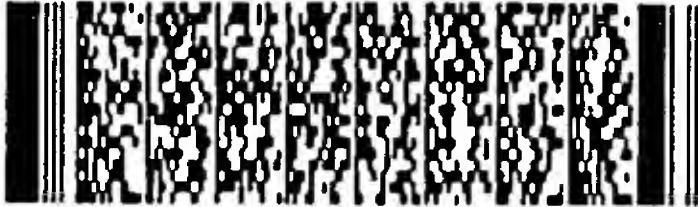
第 2/20 頁



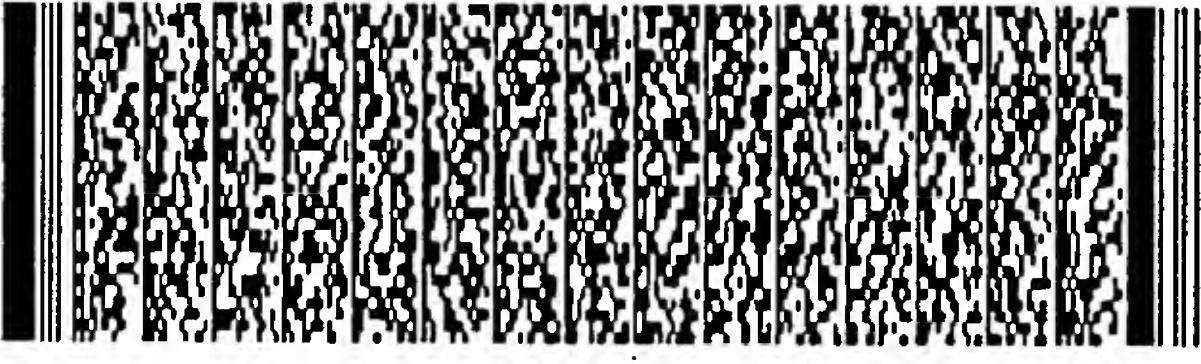
第 3/20 頁



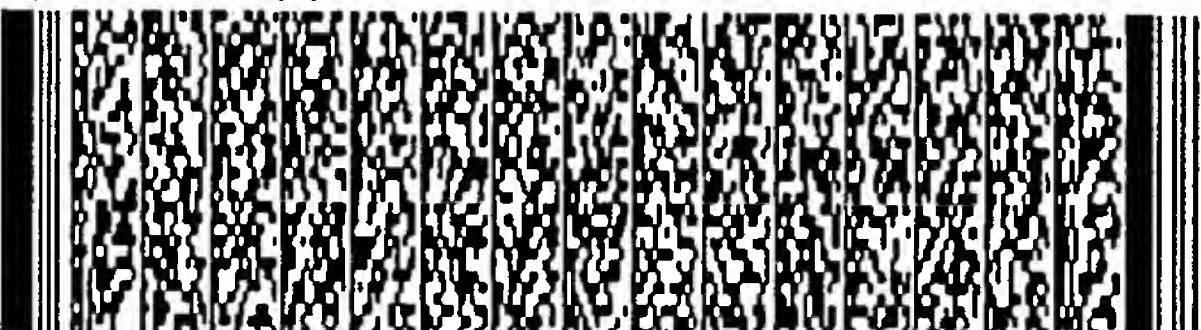
第 4/20 頁



第 5/20 頁



第 6/20 頁



第 7/20 頁



第 8/20 頁



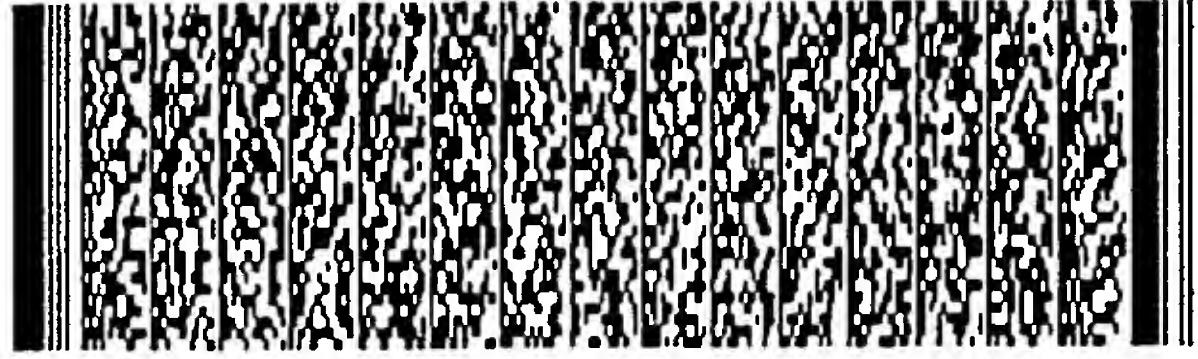
第 9/20 頁



第 10/20 頁



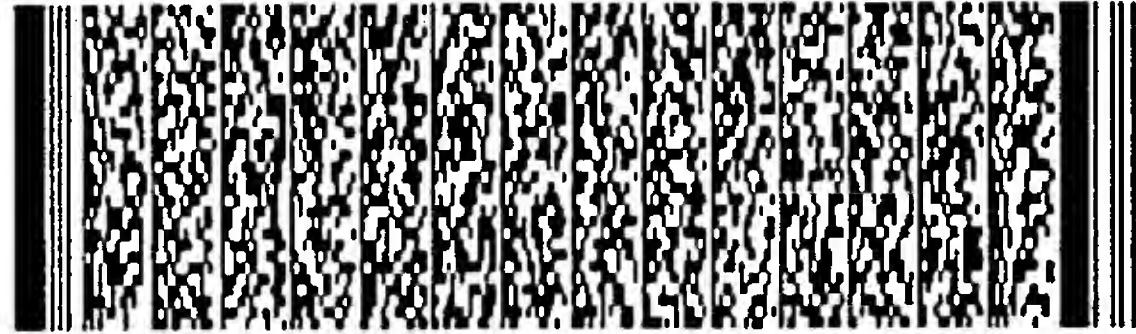
第 11/20 頁



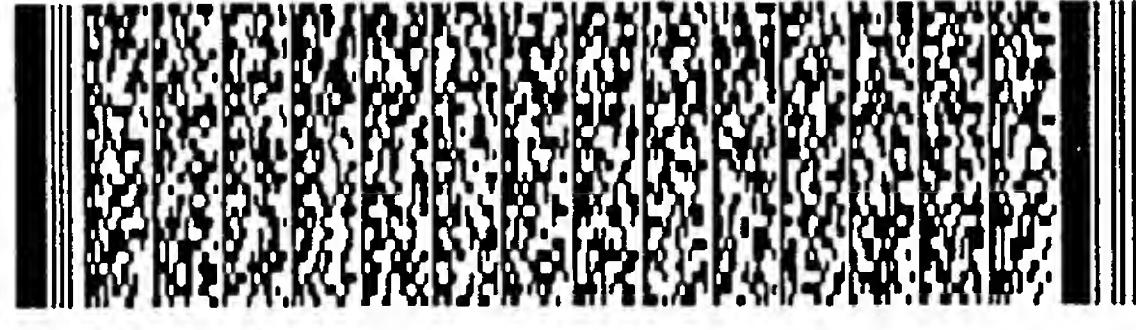
第 12/20 頁



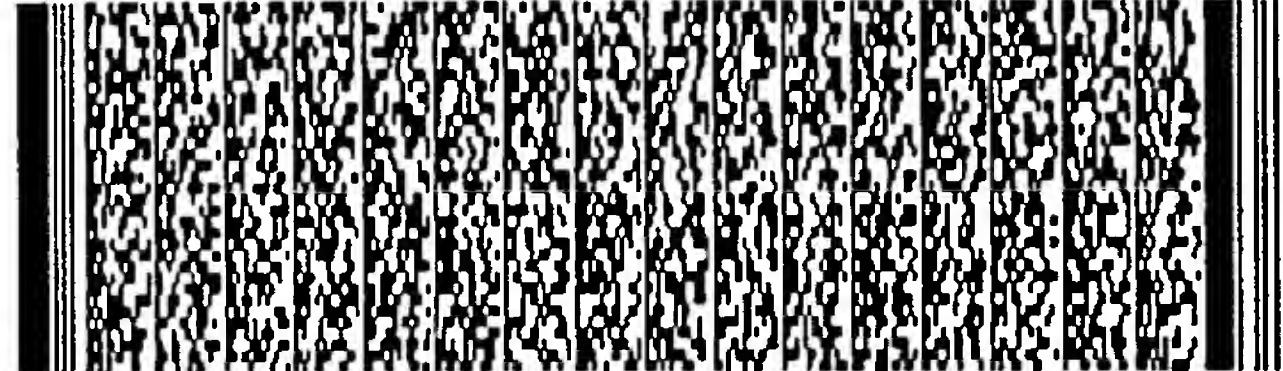
第 13/20 頁



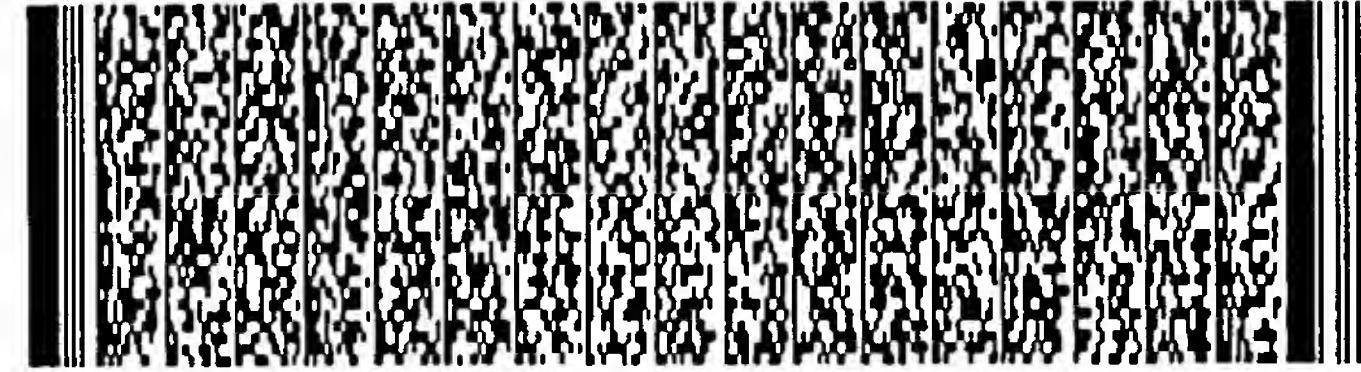
第 14/20 頁



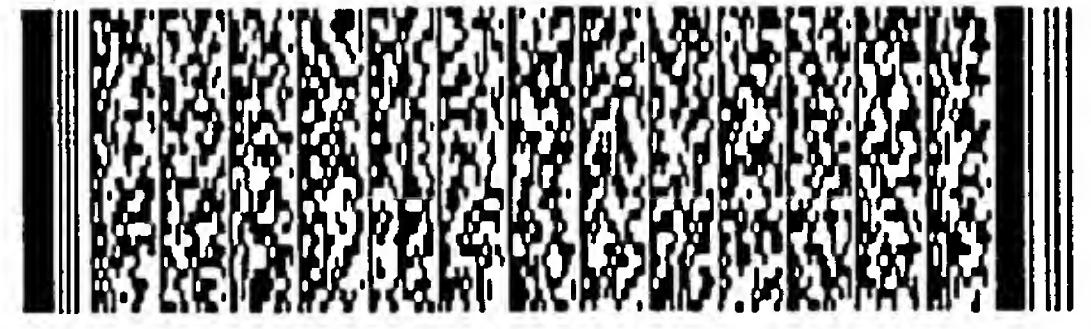
第 15/20 頁



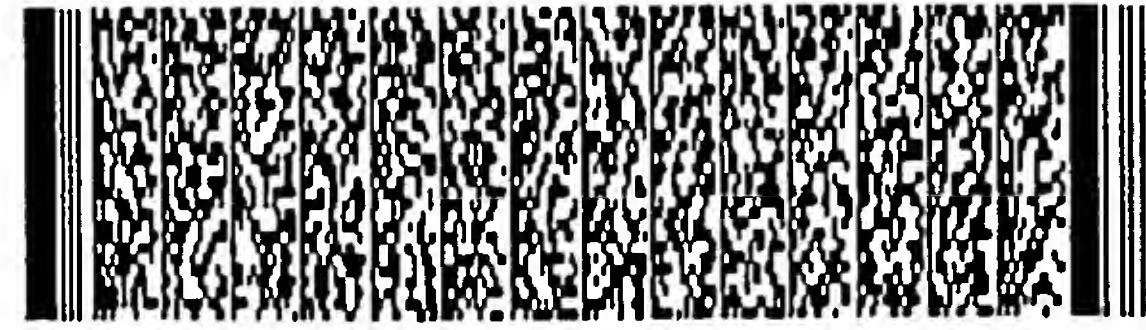
第 17/20 頁



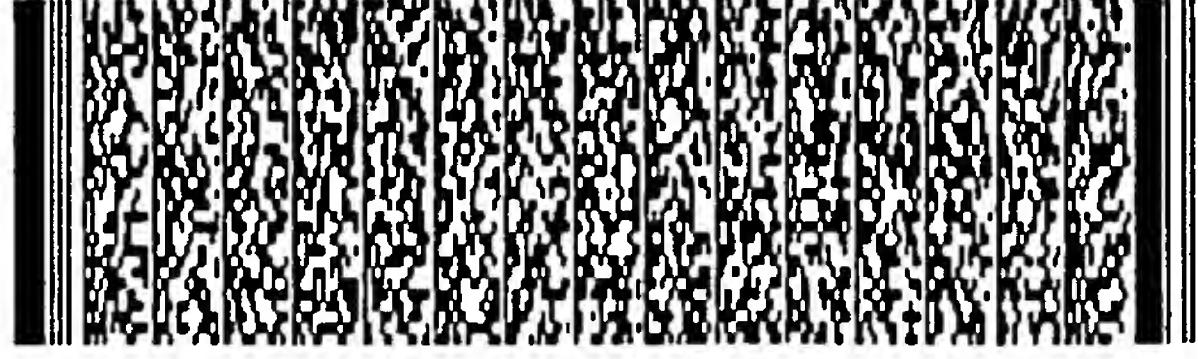
第 19/20 頁



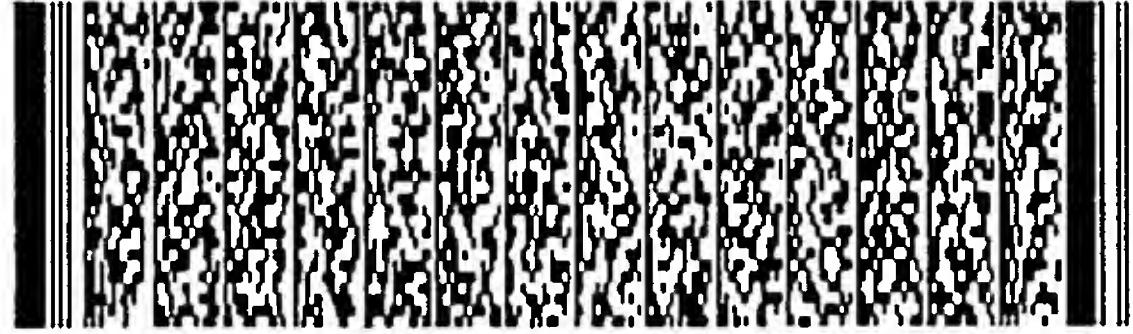
第 20/20 頁



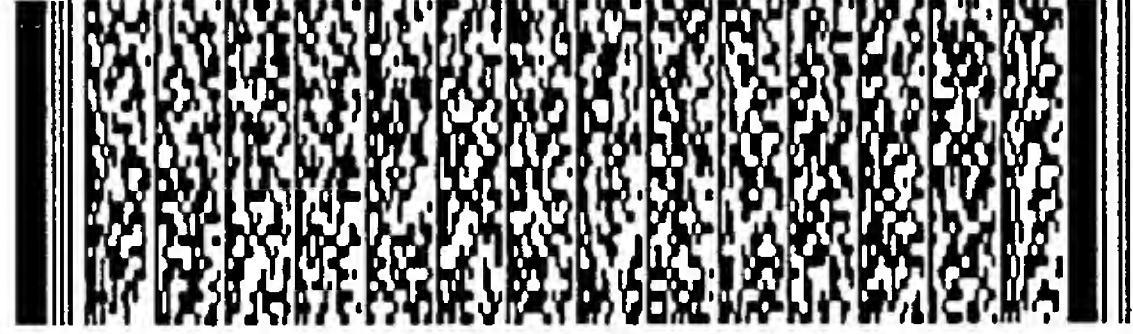
第 11/20 頁



第 12/20 頁



第 13/20 頁



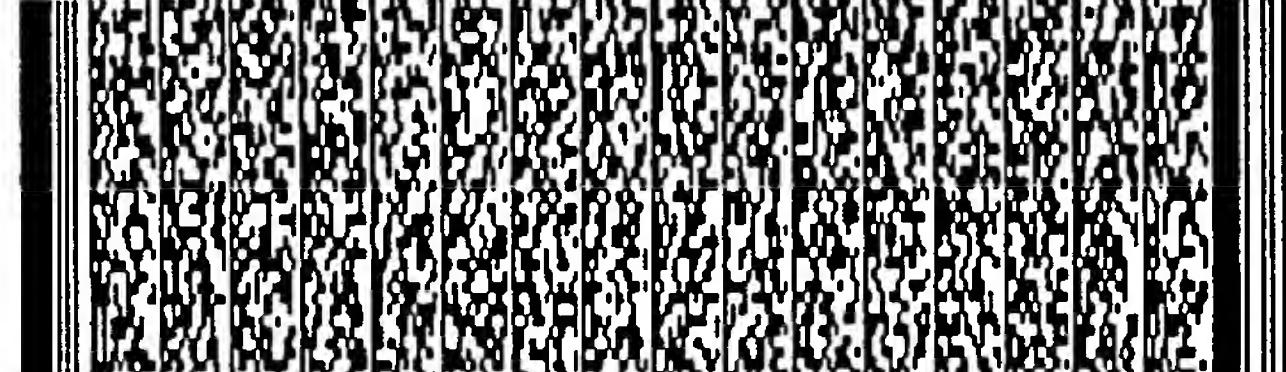
第 14/20 頁



第 16/20 頁



第 18/20 頁



第 19/20 頁

